

Zadanie 1

Źródło sygnału jest zasilane napięciami $U_{CC} = +5\text{ V}$ i $U_{EE} = -10\text{ V}$. Średnie napięcie na wyjściu źródła sygnału (składowa stała) $U_G = 1\text{ V}$. Rezystancja wyjściowa R_G źródła wynosi $50\text{ k}\Omega$ i jest za duża, by wysterować obciążenie o rezystancji $R_O = 1\text{ k}\Omega$. Na wyjściu źródła może się pojawić sygnał o maksymalnej amplitudzie równej 2 V i częstotliwościach od 20 Hz do 200 kHz .

Należy zaprojektować wtórnik emiterowy, który – po włączeniu pomiędzy źródło sygnału a obciążenie – zapewni jak najmniejsze straty sygnału.

Rozwiązanie:

1. Z informacji zawartych w zadaniu wynika, że trzeba zbudować wtórnik o jak największym wzmacnieniu skutecznym, zapewniający możliwość uzyskania co najmniej 2 V amplitudy nieobciążonego sygnału na swoim wyjściu. To znaczy, że wtórnik powinien mieć możliwie jak największą rezystancję wejściową.

2. Ponieważ nie określono typu tranzystora, z którego ma być zbudowany wtórnik, zostanie użyty typowy tranzystor małej mocy, np. BC546/547 (PNP/NPN). Najbardziej popularną grupą selekcyjną tych tranzystorów jest grupa B. W katalogu odczytujemy, że współczynnik wzmacnienia prądowego β_{DC} (h_{21E}) tranzystorów BC546/547 z grupy B zawiera się w przedziale od 200 A/A do 400 A/A .

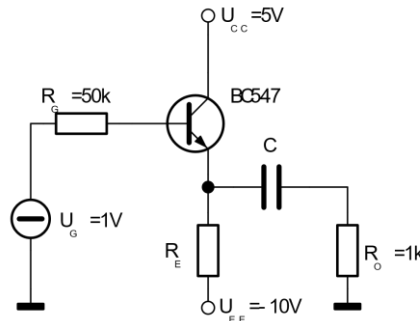
3. Trzeba wybrać typ przewodnictwa użytego tranzystora: NPN albo PNP. Zostanie użyty ten, który przy zapewnieniu dynamiki układu na poziomie 2 V , jednocześnie umożliwi uzyskanie większej rezystancji wejściowej projektowanego wtórnika.

Dynamika wtórnika emiterowego (czyli maksymalna amplituda nieobciążonego sygnału na jego wyjściu U_{Omax}) jest iloczynem rezystancji $R_L = R_E \parallel R_O$ i prądu spoczynkowego I_{EQ} tranzystora. Nietrudno zauważyć, że przy ustalonych wartościach: rezystancji R_O ($1\text{ k}\Omega$) oraz napięcia U_{Omax} (2 V) będzie można zastosować tym większą rezystancję R_E , im będzie na niej odłożone większe napięcie. Z kolei większa rezystancja R_E oznacza większą rezystancję wejściową wtórnika emiterowego. Przy podanych napięciach zasilających ($+5\text{ V}$ i -10 V) oraz napięciu na wyjściu źródła sygnału ($+1\text{ V}$) korzystniejsze będzie więc zastosowanie tranzystora NPN (BC547).

Uwaga: w powyższych rozważaniach zastanawialiśmy się nad obcinaniem sygnału spowodowanym wyłączaniem się tranzystora. Czy powinniśmy się też przyjrzeć obcinaniu drugiej połówki sygnału, spowodowanej nasyceniem? Nie. Aby tranzystor we wtórniku emiterowym wszedł w stan nasycenia, napięcie na jego bazie musiałoby przekroczyć o około

0,5 V napięcie zasilania – a to, przy bezpośrednim sprzężeniu wtórnika ze źródłem sygnału i wspólnych napięciach zasilających nie jest nigdy możliwe.

4. Można już narysować kompletny schemat ideowy projektowanego wtórnika emiterowego:



5. Pierwszym elementem, jaki należy zaprojektować, jest opornik R_E . Skorzystamy tutaj z dwóch oczywistych zależności:

$$U_{REQ} = I_{REQ} \cdot R_E \text{ oraz } U_{Omax} = I_{REQ} \cdot (R_E \parallel R_O)$$

$$\text{a wiemy, że } U_{REQ} = U_G - U_{EE} - U_{BEP} = 1V + 10V - 0,7V = 10,3V \text{ oraz } U_{Omax} = 2V$$

Mamy więc układ dwóch równań z dwiema niewiadomymi: I_{REQ} oraz R_E . Po ich rozwiązaniu otrzymujemy: $R_E = 4,15 \text{ k}\Omega$ i $I_{EQ} = 2,48 \text{ mA}$, przy czym wartość rezystancji R_E należy traktować jako największą dopuszczalną (jej zwiększenie powyżej $4,15 \text{ k}\Omega$ spowoduje niespełnienie warunku na U_{Omax})

W powyższych obliczeniach zostało przyjęte założenie, że spadek napięcia na rezystancji wewnętrznej źródła sygnału nie jest znaczący. Jednak wobec dużej wartości R_G ($50 \text{ k}\Omega$) tak być nie musi, więc należy dokonać sprawdzenia.

Dokonamy oszacowania „na najgorszy przypadek”:

a) największy prąd bazy I_B tranzystora popłynie wtedy, kiedy trafi się tranzystor o najmniejszym współczynniku wzmocnienia prądowego $\beta = 200 \text{ A/A}$. Będzie on wtedy wynosił:

$$I_{BQmax} = I_{EQ} / \beta_{min} = 2,48 \text{ mA} / 200 = 12,4 \mu\text{A}$$

b) w takiej sytuacji spadek napięcia na rezystancji R_G wyniesie:

$$U_{RG} = I_{BQmax} \cdot R_G = 12,4 \mu\text{A} \cdot 50 \text{ k}\Omega = 0,62 \text{ V}$$

Wobec wcześniej przyjętej wartości napięcia $U_{EQ} = 10,3 \text{ V}$ nie jest to wartość nieznająca i nieuwzględnienie jej może prowadzić do niespełnienia wymagań postawionych w zadaniu.

Można w takiej sytuacji postąpić na dwa sposoby:

a) skorygować U_{EQ} o $0,62 \text{ V}$ i powtórzyć obliczenia (otrzymuje się wtedy wyniki: $R_E = 3,84 \text{ k}\Omega$ i $I_{EQ} = 2,52 \text{ mA}$).

b) korzystając z tzw. inżynierskiego doświadczenia, z szeregu (np. E24) dobrać opornik, jednocześnie korygując jego wartość tak, aby uzyskać spory „zapas”, a następnie dokonać obliczeń parametrów projektowanego układu (w rozważanym przypadku należałoby wstępnie spróbować zastosować opornik o rezystancji nominalnej nie większej niż $3,6 \text{ k}\Omega$).

Dla osób, które wspomnianym doświadczeniem nie dysponują, poleca się wykonanie dokładnych obliczeń, czyli zastosowanie metody a). Ostatecznie w obu przypadkach optymalną wartością rezystancji R_E dobraną z szeregu E24 okazuje się $3,6 \text{ k}\Omega$, bo nawet przy uwzględnieniu 5% rozrzutu, będzie ona zawsze mniejsza od wartości granicznej ($3,84 \text{ k}\Omega$).

Dla tej rezystancji zostanie obliczony dokładny prąd emitera tranzystora. W tym celu zapiszemy dwie oczywiste zależności:

$$U_G - I_B \cdot R_G - U_{BEP} - I_{EQ} \cdot R_E = U_{EE} \text{ oraz } I_B = I_{EQ} / \beta$$

Po podstawieniu znanych wartości otrzymujemy:

$$I_{EQ} = 2,67 \text{ mA (dla } \beta = 200 \text{ A/A)} \text{ i } I_{EQ} = 2,77 \text{ mA (dla } \beta = 400 \text{ A/A)}$$

6. Po zaprojektowaniu opornika R_E można obliczyć jego podstawowe parametry:

a) rezystancja wejściowa r_{we} :

$$r_{we} = \beta \cdot (R_E \parallel R_O) + r_{eb'} = (200 \dots 400) \cdot (3,6 \text{ k}\Omega \parallel 1 \text{ k}\Omega) + 25 \text{ mV} / 2,67 \dots 2,77 \text{ mA} \\ = 156,5 \dots 313 \text{ k}\Omega$$

Warto zauważyć, że w omawianym przypadku rezystancja $r_{eb'}$ złącza emiterowego tranzystora wynosi około 9Ω i można ją w powyższych obliczeniach pominąć.

b) rezystancja wyjściowa r_{wy} :

$$r_{wy} = r_{ebr} + R_G/\beta \approx 9\Omega + 50k\Omega / (400 \dots 200) = 134 \dots 259\Omega$$

c) wzmocnienie napięciowe zwykłe k_{uo} :

$$k_{uo} = R_E \parallel R_O / (R_E \parallel R_O + r_{ebr}) = 780\Omega / (9\Omega + 780\Omega) = 0,987 V/V$$

i nie zależy od współczynnika wzmocnienia prądowego tranzystora.

d) wzmocnienie napięciowe skuteczne k_{uso} :

$$k_{uso} = k_{uo} \cdot r_{we} / (R_G + r_{we}) = 0,987 \cdot (156,5 \dots 313k\Omega) / (50k\Omega + 156,5k\Omega \dots 313k\Omega) = 0,748 \dots 0,851 V/V$$

e) warto sprawdzić maksymalną amplitudę nieobciążonego sygnału wyjściowego:

$$U_{Omax} = I_{EQ} \cdot R_L = 2,67 \dots 2,77mA \cdot 0,78k\Omega \approx 2,1V$$

Uwaga: ze względu na wzmocnienie skuteczne wtórника (ok. 0,8 V/V) obliczona maksymalna amplituda sygnału wyjściowego jest nadmiarowa, bo tak naprawdę potrzeba tylko $0,8 \cdot 2 V \approx 1,6 V$. Jeśli więc komuś bardzo zależy na zaprojektowaniu jak najlepszego układu, może w tym miejscu się trochę cofnąć i uznać, że jednak można zastosować opornik R_E o nieco większej rezystancji (3,9 k Ω). Wydaje się jednak, że w inżynierskiej praktyce takie „aptekarstwo” ma niewielki sens (mały zysk, a dodatkowy nakład pracy duży), a pozostawiony „zapas” może się przydać.

7. Ostatnią rzeczą, jaką należy wykonać podczas projektowania wtórника, jest dobór właściwej pojemności kondensatora sprzęgającego wtórnik z obciążeniem. Ten kondensator jest odpowiedzialny za dolną częstotliwość graniczną f_D i powinien mieć pojemność:

$$C = 1/2 \pi R_C \cdot f_D \text{ gdzie } R_C = r_{wy} + (R_E \parallel R_O)$$

Warto tu zauważyć, że tutaj „najgorszym przypadkiem” jest **najmniejsza** wartość rezystancji R_C – bo to dla niej pojemność C musi być największa. A więc pojemność C musi obliczona dla $\beta = \beta_{min}$, a nie, jak to najczęściej bywa, dla $\beta = \beta_{max}$.

Po podstawieniu danych (przyjmijmy, że wymagana dolna częstotliwość graniczna układu f_D to 20 Hz), otrzymujemy:

$$C = 1/2 \pi \cdot 20\text{Hz} \cdot (134\Omega + 782\Omega) \approx 8,69\mu\text{F}$$

Z szeregu dobierzemy kondensator o pojemności 10 μF .

Uwaga: kondensator został obliczony, przy założeniu, że dolna częstotliwość graniczna układu będzie wynosiła ok. 20 Hz (obliczenie dokładnej wartości f_D dla pojemności $C = 10\mu\text{F}$ pozostawia się czytelnikowi) – a to oznacza, że przy tej częstotliwości nastąpi już spadek amplitudy sygnału na wyjściu wtórника. Aby sygnał o częstotliwości 20 Hz „nie czuł” dolnej częstotliwości granicznej, należałoby zastosować kondensator o pojemności co najmniej 10 razy większej, czyli 100 μF .

Ostatecznie schemat zaprojektowanego układu, włączonego pomiędzy źródło sygnału a obciążenie, jest następujący:

