

Zadanie 2

Rezystancja wewnętrzna źródła sygnału, które będzie dołączane do pewnego wzmacniacza i rezystancji wejściowej $1\text{ k}\Omega$, jest nieznana i może się zmieniać w zakresie od setek omów do około $1\text{ M}\Omega$. Amplituda E_g sygnału, który może się pojawić na wyjściu źródła, nie przekracza 2 V . Należy zaprojektować układ, który, włączony pomiędzy źródło sygnału a wzmacniacz, umożliwi uzyskanie możliwie stałego wzmocnienia, niezależnie od rezystancji wewnętrznej źródła. Dolna częstotliwość graniczna f_D zaprojektowanego układu nie powinna być wyższa niż 100 Hz .

Dostępne napięcia zasilające to $U_{CC} = 6\text{ V}$ oraz $U_{EE} = -5\text{ V}$.

Rozwiązanie:

Takim układem jest oczywiście wtórnik. Czy można tu użyć prostego wtórnika zbudowanego przy użyciu tranzystora bipolarnego? Sprawdźmy.

Jeśli zastosujemy popularny małosygnałowy tranzystor bipolarny typu np. BC547/548 (taki, jak w zad. 1), to największy gwarantowany współczynnik wzmocnienia prądowego wynosi 400 A/A (tranzystory grupy C mają współczynnik $\beta = 400 \dots 800\text{ A/A}$, jak zwykle rozpatrujemy najgorszy przypadek). To oznacza, że największa teoretyczna gwarantowana rezystancja wejściowa wtórnika, przy obciążeniu go rezystancją $R_O = 1\text{ k}\Omega$ wynosi:

$$r_{we} = \beta \cdot R_O = 400 \cdot 1\text{ k}\Omega = 400\text{ k}\Omega$$

a więc w najgorszym przypadku mogłaby być nawet 2,5 raza mniejsza od rezystancji źródła sygnału. To oznaczałoby bardzo małe wzmocnienie napięciowe projektowanego układu, w dodatku silnie zależne od użytego egzemplarza tranzystora.

W takiej sytuacji sensowniejsze jest zastosowanie wtórnika źródłowego.

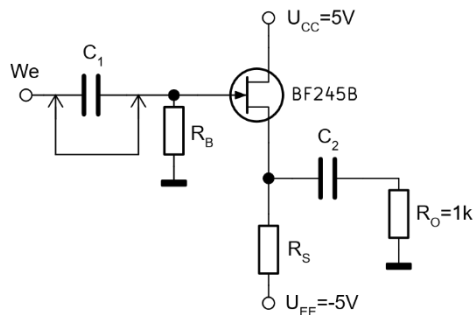
Po poszukiwaniach w szufladach okazało się, że dysponujemy klasycznym tranzystorem unipolarnym złączowym typu BF245 z kanałem typu N, z grupy selekcyjnej B. Sprawdźmy więc w katalogu jego dane niezbędne do zaprojektowania wtórnika. Są to: napięcie progowe U_T oraz prąd przy zerowym napięciu bramka – źródło I_{DSS} .

Dane katalogowe tranzystora BF245B:

$U_T = -1,4 \dots -3,8\text{ V}$ (napięcie jest ujemne, bo tranzystor J-FET to tranzystor „normalnie włączony”)

$I_{DSS} = 6 \dots 15\text{ mA}$

Możemy teraz narysować schemat ideowy projektowanego wtórnika:



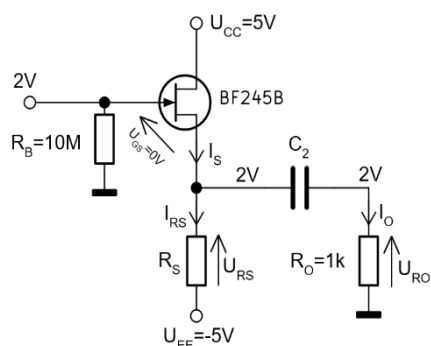
1. Dobór rezystancji opornika R_B jest łatwy, określi on rezystancję wejściową wtórnika. Niech to będzie np. $10\text{ M}\Omega$, wtedy w najgorszym przypadku na wejściu stracimy ok. $1/10$ sygnału.

2. Zauważmy, że od strony wejścia wtórnika widać „czystą” rezystancję dołączoną do masy. Na ogół nie ma więc potrzeby stosowania szeregowego kondensatora separującego C_1 . Jeśli jednak chcielibyśmy np. odciąć składową stałą pochodzącą ze źródła sygnału, taki kondensator należałoby zastosować i obliczyć jego pojemność na podstawie wymaganej dolnej częstotliwości granicznej f_D naszego układu.

3. Zaprojektujemy teraz rezystancję R_S .

Od naszego wtórnika oczekujemy jak najmniejszej rezystancji wyjściowej, bo wtedy wzmacnienie napięciowe całego układu będzie największe. Tranzystor powinien więc pracować przy jak największym prądzie drenu. Tym prądem będzie I_{DSS} , bo jego przekroczenie oznaczałoby dodatnie napięcie U_{GS} i niebezpieczne zbliżenie się złącza G-S do stanu przewodzenia.

Zauważmy teraz, że prąd drenu tranzystora będzie się zmieniał stosownie do sygnału pojawiającego się na wyjściu wtórnika i osiągnie największą wartość przy jego szczytowej wartości U_{Omax} . Przyjmijmy, że ta wartość to 2 V (w rzeczywistości będzie ona nieco mniejsza ze względu na mniejsze od jedności skuteczne wzmacnienie napięciowe wtórnika). Opisaną sytuację ilustruje rysunek:



Możemy więc napisać, że:

$$I_O = \frac{U_{Omax}}{R_O} = \frac{2V}{1k\Omega} = 2mA$$

$$I_{RS} = \frac{U_{Omax} - U_{EE}}{R_S} = \frac{2V - (-5V)}{R_S} = \frac{7V}{R_S}$$

$$I_{RS} + I_O = I_S \leq I_{DSS} = 6mA$$

Została wybrana wartość $I_{DSS} = 6mA$, bo to ona stanowi „silniejsze” ograniczenie maksymalnego prądu drenu.

Po rozwiązaniu powyższego układu równań otrzymujemy warunek $R_S \geq 1,75 k\Omega$. Możemy użyć opornika z szeregu E24 o rezystancji 1,8 k Ω . Jest on co prawda wybrany „na styk” i bez uwzględnienia ewentualnych rozrzutów, ale:

- po pierwsze przyjęliśmy już wcześniej pewien „zapas” zakładając, że wzmacnienie napięciowe wtórnika jest równe jeden i największa wartość napięcia na wyjściu układu $U_{Omax} = 2 V$,
- po drugie ewentualne niewielkie przekroczenie wartości I_{DSS} , a tym samym przyłożenie do złącza G-S niewielkiego napięcia dodatniego, nie spowoduje od razu wejścia tego złącza w stan przewodzenia.

Oczywiście jeśli komuś bardzo zależy na zachowaniu dużych marginesów, powinien zastosować $R_S = 2... 2,2 k\Omega$.

4. Obliczymy teraz skuteczne wzmacnienie napięciowe k_{uso} zaprojektowanego układu.

Rezystancja wyjściowa nieobciążonego wtórnika to:

$$r_{wyT} = \frac{1}{g_m} = \frac{1}{2 \cdot \beta \cdot (U_{GS} - U_T)} \text{ i przyjmuje najmniejszą wartość gdy } I_D = I_{DSS}.$$

A więc:

$$r_{wyT(min)} = r_{wyIDSS} = \frac{|U_T|}{2 \cdot I_{DSS}}$$

Teoretycznie należałoby przyjąć, że w najgorszym przypadku $r_{wyIDSS} = U_{Tmax} / 2 \cdot I_{DSSmin}$ ale w praktyce taka kombinacja nie zajdzie. Napięcie U_T oraz prąd I_{DSS} „idą w parze” i wraz ze wzrostem $|U_T|$ rośnie I_{DSS} . A więc:

$$r_{wyIDSS} = \frac{|U_{Tmin}|}{2 \cdot I_{DSSmin}} \dots \frac{|U_{Tmax}|}{2 \cdot I_{DSSmax}} = 133\Omega \dots 126\Omega$$

czyli od zastosowanego egzemplarza tranzystora zależy w stopniu nieznacznym.

Możemy teraz obliczyć skuteczne wzmocnienie napięciowe całego układu:

$$k_{uso} = \frac{r_{we}}{(R_G + r_{we})} \cdot \frac{R_O \parallel R_S}{r_{wyIDSS} + R_O \parallel R_S}$$

Ta zależność wymaga komentarzy:

- po pierwsze: jako że rezystancja źródła sygnału może się zmieniać w zakresie od setek Ω do 1 M Ω a rezystancja wejściowa wtórnika to 10 M Ω , pierwszy czynnik może się zmieniać w zakresie od 0,91 V/V do prawie 1 V/V. Jeśli chcielibyśmy otrzymać zmienność mniejszą, musielibyśmy użyć opornika R_B o większej rezystancji, co nie zawsze jest korzystne (np. większa rezystancja wejściowa może oznaczać silniejsze „łapanie” przez nasz układ zakłóceń),

- po drugie: drugi czynnik, w którym występuje wartość r_{wyIDSS} , to przypadek najkorzystniejszy i dla każdego prądu $I_D < I_{DSS}$ wzmocnienie napięciowe będzie mniejsze od obliczonego – co jest zresztą oczywistą przyczyną powstawania nieliniowych zniekształceń sygnału.

Ostatecznie, po podstawieniu posiadanych danych, otrzymujemy:

$$k_{uso} = 0,91 V/V \cdot \frac{643\Omega}{133\Omega + 643\Omega} \dots 1 V/V \cdot \frac{643\Omega}{126\Omega + 643\Omega} = 0,754 V/V \dots 0,836 V/V$$

6. Należy teraz sprawdzić, czy tranzystor nie wejdzie w zakres triodowy. Mogłoby to nastąpić, gdy napięcie wejściowe osiągnie wartość maksymalną (2 V). Aby tak się nie stało, musi być spełniony warunek: $U_{DS} > U_{GS} - U_T$. Przy napięciu wejściowym wynoszącym 2V $U_{GS} \approx 0V$, więc powinniśmy sprawdzić, czy:

$$U_{DS} > -U_T$$

Jako że U_{CC} (napięcie na drenie) to 6V, a w opisanej sytuacji napięcie $U_S = 2V$, to napięcie $U_{DS} = 4 V$. A więc nawet w najgorszym przypadku, gdy napięcie U_T użytego tranzystora będzie równe -3,6 V, nasz wtórnik będzie działał poprawnie. Jednak warto zauważyć, że w przypadku zasilenia układu napięciem symetrycznym $\pm 5 V$ warunek niewchodzenia tranzystora w zakres pracy triodowej mógłby – przy „pechowym” tranzystorze – nie być spełniony, skutkiem czego sygnał wyjściowy mógłby być bardzo silnie odkształcany.

5. Pozostaje do obliczenia pojemność sprzęgająca C_2 . Powinna ona być nie mniejsza niż:

$$C_2 = \frac{1}{2\pi f_D \cdot R_{C2}} = \frac{1}{2\pi f_D \cdot (R_O + r_{wyIDSSmin})} = \frac{1}{2\pi \cdot 100Hz \cdot (1k\Omega + 126\Omega)} \approx 1,4\mu F$$

W praktyce zostanie zastosowany typowy kondensator z szeregu, o pojemności $2,2\mu F$.

Można już narysować kompletny schemat ideowy zaprojektowanego wtórnika źródłowego:

