

Układy scalone

PRZYKŁADY I ZADANIA

WIESŁAW KUŹMICZ

PÓŁPRZEWODNIK, UKŁAD CMOS, UKŁAD CYFROWY, UKŁAD ANALOGOWY, KOSZT UKŁADU SCALONEGO, NAPIĘCIE PRZEŁĄCZANIA, CZAS PROPAGACJI, ROZRZUT PRODUKCYJNY, ŹRÓDŁO PRĄDOWE, ŹRÓDŁO NAPIĘCIOWE, WZMOCNIENIE NAPIĘCIOWE, PASMO PRZENOSZENIA, CHŁODZENIE UKŁADU SCALONEGO

TA CZĘŚĆ MATERIAŁÓW OMAWIAJĄCYCH UKŁADY SCALONE ZAWIERA ZBIÓR PRZYKŁADÓW (ZADAŃ Z ROZWIĄZANIAMI) ORAZ ZADAŃ DO SAMODZIELNEGO ROZWIĄZANIA ILUSTRUJĄCYCH WYBRANE ZAGADNIENIA PODSTAW MIKROELEKTRONIKI.

Spis treści

1	Przykłady i zadania - wstęp	2
2	Przykłady i zadania do części I.....	2
2.1	Półprzewodnik, domieszki, elektrony i dziury.....	2
2.2	Elementy układów scalonych	4
2.2.1	Dioda półprzewodnikowa.....	4
2.2.2	Tranzystor MOS	5
2.2.3	Tranzystor bipolarny	9
2.2.4	Rezystor polikrzemowy	10
2.2.5	Kondensator	10
2.3	Zależności ekonomiczne w mikroelektronice	11
3	Przykłady i zadania do części II.....	13
4	Przykłady i zadania do części III.....	16
4.1	Inwerter, bramki NOR i NAND.....	16
4.1.1	Napięcie przełączania.....	16
4.1.2	Czasy propagacji sygnału.....	18
4.2	Bramka transmisyjna	20
4.3	Problemy projektowania dużych układów.....	20
4.3.1	Zasilanie dużego układu	20
4.3.2	Długie połączenia	22
4.4	Symulacja logiczna	23
5	Przykłady i zadania do części IV	27
5.1	Kluczowe problemy układów analogowych: zależności temperaturowe i rozrzuty produkcyjne.....	27
5.1.1	Zależności parametrów elementów układów scalonych od temperatury	27
5.1.2	Rozrzuty produkcyjne.....	28
5.2	Wybrane układy analogowe.....	29
5.2.1	Parametry małosygnałowe tranzystorów	29
5.2.2	Układy źródeł prądowych i napięciowych.....	30
5.2.3	Proste stopnie wzmacniające	33
5.3	Problemy cieplne w układach scalonych	35
6	Podsumowanie.....	37

1 Przykłady i zadania - wstęp

Droga Czytelniczko, Drogi Czytelniku, znajdziesz tutaj przykłady obliczeniowe i zadania do samodzielnego rozwiązania ilustrujące materiał omawiający układy scalone. Warto nie tylko przeczytać przykłady, ale samodzielnie zmierzyć się z zadaniami, których rozwiązania nie są podane. Te przykłady i te zadania pozwolą głębiej zrozumieć problematykę mikroelektroniki, pokazując tę dziedzinę techniki od strony ilościowej.

2 Przykłady i zadania do części I

W pierwszej części materiałów omawiających układy scalone mowa jest najpierw o historii mikroelektroniki i znaczeniu tej dziedziny techniki, potem o tym, co to jest półprzewodnik i o jego podstawowych właściwościach, następnie o budowie i właściwościach diod, tranzystorów i innych elementów układów scalonych. Potem omawiane są ogólnie układy elektroniczne budowane z tranzystorów. Na koniec jest mowa o produkcji układów scalonych, zarówno od strony technicznej, jak i ekonomicznej. Przykłady i zadania, które znajdziesz poniżej, ilustrują większość omawianych zagadnień, pominięta jest tylko opowieść o historii i znaczeniu mikroelektroniki.

2.1 Półprzewodnik, domieszki, elektrony i dziury

O właściwościach elektrycznych półprzewodnika decyduje domieszkowanie: koncentracje domieszek donorowych i akceptorowych, i związane z tym koncentracje elektronów i dziur. Wielkości te wyrażane są przez podanie liczby atomów, elektronów bądź dziur w centymetrze sześciennym półprzewodnika. Poniżej znajdziesz przykłady i zadania pozwalające zorientować się, jakie są rzędy wielkości tych koncentracji. Przed zapoznaniem się z przykładami i zadaniem przeczytaj w części I punkt 3.1.1.

PRZYKŁAD 1.1

W jednym centymetrze sześciennym krzemu znajduje się około $5 \cdot 10^{22}$ atomów krzemu. W elementach półprzewodnikowych (diodach, tranzystorach) koncentracje domieszek donorowych lub akceptorowych mogą zawierać się w zakresie od 10^{14} atomów na cm^3 do 10^{20} atomów na cm^3 . Na ile atomów krzemu przypada jeden atom domieszki, jeśli jej koncentracja wynosi:

- a) $10^{14}/\text{cm}^3$,*
- b) $10^{17}/\text{cm}^3$,*
- c) $10^{20}/\text{cm}^3$?*

Rozwiązanie - oznaczmy przez A liczbę atomów krzemu przypadającą na jeden atom domieszki:

- a) $A = 5 \cdot 10^{22}/10^{14} = 5 \cdot 10^8$*
- b) $A = 5 \cdot 10^{22}/10^{17} = 5 \cdot 10^5$*
- c) $A = 5 \cdot 10^{22}/10^{20} = 5 \cdot 10^3$*

Jak widzimy, nawet w najsilniej domieszkowanym krzemie jeden atom domieszki przypada na ponad tysiąc atomów krzemu. Ta znikoma liczba atomów domieszki zmienia jednak całkowicie właściwości krzemu, który bez domieszek w temperaturze otoczenia (300 K, czyli 27 °C) praktycznie nie przewodzi prądu.

Z tych obliczeń płynie jeszcze jeden wniosek. Aby monokryształ krzemu nadawał się do produkcji układów scalonych, musi być nadzwyczaj czysty. Na jeden atom monokryształu krzemu powinno przypadać nie więcej niż 10^{-9} atomów wszelkich zanieczyszczeń. Dopiero do tak niezwykle czystego krzemu można wprowadzać domieszki tak, aby uzyskać ich ściśle określone koncentracje.

PRZYKŁAD 1.2

O półprzewodniku pozbawionym jakichkolwiek domieszek mówimy, że jest to półprzewodnik samoistny, a koncentrację nośników ładunku – jednakową dla swobodnych, tj. przewodzących prąd, elektronów i dziur – nazywamy koncentracją samoistną. W samoistnym krzemie w temperaturze otoczenia (27 °C) koncentracja samoistna wynosi $n_i = 10^{10}/\text{cm}^3$. Ile atomów krzemu przypada na jeden elektron w półprzewodniku samoistnym?

Rozwiązanie: obliczając podobnie, jak w przykładzie 1, otrzymujemy wynik: na jeden swobodny elektron (lub dziurę) w samoistnym krzemie w temperaturze otoczenia przypada $5 \cdot 10^{12}$ atomów krzemu.

PRZYKŁAD 1.3

Gdy do półprzewodnika dodane są domieszki – donorowa lub akceptorowa – w temperaturze, w której zwykle pracują układy scalone (dla układów krzemowych mniej więcej od -50 °C do +180 °C) można przyjąć, że każdy atom domieszki donorowej jest źródłem jednego swobodnego elektronu, a każdy atom domieszki akceptorowej jest źródłem jednej dziury (tak jest w przypadku, gdy w półprzewodniku jest tylko domieszka donorowa lub tylko domieszka akceptorowa). Iloczyn koncentracji elektronów i dziur jest niezależny od koncentracji domieszki i równy koncentracji samoistnej n_i (wzór 3-1 w części I). Jaka jest koncentracja dziur w krzemie, w którym koncentracja atomów donorowych N_D wynosi $10^{17}/\text{cm}^{-3}$?

Rozwiązanie – przyjmiemy, że koncentracja elektronów jest równa koncentracji atomów donorowych i posłużymy się wzorem 3-1:

$$p = n_i^2 / N_D = (10^{10})^2 / 10^{17} = 10^3 / \text{cm}^3$$

Jak widzimy, w domieszkowanym półprzewodniku tam, gdzie jest dużo elektronów, tam jest bardzo mało dziur – i odwrotnie.

A teraz zadanie do samodzielnego rozwiązania:

ZADANIE 1.1

Oblicz, jaka powinna być koncentracja domieszki donorowej w krzemie, aby w temperaturze otoczenia koncentracja dziur wyniosła jedną dziurę na centymetr sześcienny.

2.2 Elementy układów scalonych

2.2.1 Dioda półprzewodnikowa

Budowa i działanie diody omówione są w części I, w punkcie 3.1.2.

PRZYKŁAD 1.4

Dioda krzemowa ma w temperaturze otoczenia (27°C) wartość prądu nasycenia $I_S=10^{-12}\text{ A}$. Obliczmy prąd I płynący przez diodę dla czterech wartości napięcia na diodzie.

- a) 0.1 V
- b) 0.5 V
- c) 0.8 V
- d) -1 V

Rozwiązanie: posłużymy się wzorem 3-2, część I, punkt 3.1.2. W tym wzorze wyrażenie kT/q ma w temperaturze otoczenia wartość około $26 \cdot 10^{-3}\text{ V}$, czyli 26 mV . Przyjmujemy, że napięcie dodatnie oznacza polaryzację diody w kierunku przewodzenia, a ujemne – w kierunku zaporowym.

$$\text{a)} \quad I = 10^{-12} * \left(e^{\frac{0.1}{26 \cdot 10^{-3}}} - 1 \right) = 45,8 * 10^{-12}\text{ A}$$

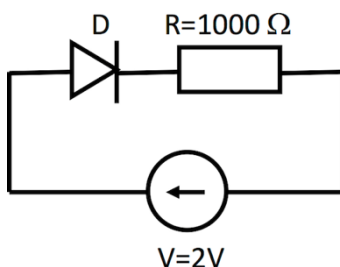
$$\text{b)} \quad I = 10^{-12} * \left(e^{\frac{0.5}{26 \cdot 10^{-3}}} - 1 \right) = 2,25 * 10^{-4}\text{ A}$$

$$\text{c)} \quad I = 10^{-12} * \left(e^{\frac{1}{26 \cdot 10^{-3}}} - 1 \right) = 23,06\text{ A}$$

$$\text{d)} \quad I = 10^{-12} * \left(e^{\frac{-1}{26 \cdot 10^{-3}}} - 1 \right) = -1 * 10^{-12}\text{ A}$$

Jak widzimy, w kierunku przewodzenia prąd przez diodę gwałtownie wzrasta po przekroczeniu napięcia rzędu $0,6...0,7\text{ V}$ (porównaj rysunek 3-8 w punkcie 3.1.2), zaś w kierunku zaporowym prąd jest równy prądowi nasycenia I_S , który jest bardzo mały.

Teraz wykonamy obliczenia dla prostego obwodu (rysunek 1-1) składającego się z połączonych szeregowo: źródła napięcia stałego o napięciu 2 V , rezystora o rezystancji $1000\ \Omega$ oraz diody omówionej w przykładzie 1.4. Obliczmy prąd płynący w tym obwodzie przy założeniu, że dioda jest spolaryzowana w kierunku przewodzenia.



Rysunek 2-1. Prosty obwód z rezystorem i diodą

PRZYKŁAD 1.5

Obliczymy prąd I płynący w obwodzie pokazanym na rysunku 1-1. Suma napięć na diodzie i na rezystorze R musi być równa napięciu źródła napięcia, stąd równanie

$$V = IR + V_D$$

gdzie V_D jest napięciem na diodzie. Napięcie to wyznaczymy z zależności 3-2 (punkt 3.1.2, część I):

$$V_D = \frac{kT}{q} \ln\left(\frac{I}{I_S} + 1\right)$$

stąd równanie

$$V = IR + \frac{kT}{q} \ln\left(\frac{I}{I_S} + 1\right)$$

które przekształcimy do postaci

$$I = \frac{V - \frac{kT}{q} \ln\left(\frac{I}{I_S} + 1\right)}{R}$$

Równanie to jest uwikłane ze względu na prąd I . Jest to równanie typu $x = f(x)$. Przybliżone rozwiązanie równań tego typu dla konkretnych wartości liczbowych można otrzymać metodą zwaną metodą kolejnych przybliżeń. Polega ona na tym, że gdy do prawej strony podstawimy pewną przybliżoną wartość niewiadomej, to obliczając wartość prawej strony otrzymamy nowe, lepsze przybliżenie wartości niewiadomej. Metoda jest zbieżna do rozwiązania, jeśli spełniony jest warunek $\left|\frac{df(x)}{dx}\right| < 1$. W naszym przypadku tak będzie ze względu na to, że funkcja logarytmiczna jest wolnozmienna.

Zacniemy od wartości prądu I_0 takiej, jak gdyby diody w ogóle nie było, czyli $I_0 = V/R = 2 \cdot 10^{-3}$ A. Obliczamy nowe przybliżenie I_1 jako wartość prawej strony równania:

$$I_1 = \frac{2 - 26 \cdot 10^{-3} \ln\left(\frac{2 \cdot 10^{-3}}{10^{-12}} + 1\right)}{1000} = 1,44 \cdot 10^{-3} \text{ A}$$

W ten sam sposób obliczamy drugie przybliżenie

$$I_2 = \frac{2 - 26 \cdot 10^{-3} \ln\left(\frac{1,44 \cdot 10^{-3}}{10^{-12}} + 1\right)}{1000} = 1,45 \cdot 10^{-3} \text{ A}$$

Można obliczać dalsze przybliżenia, ale porównując wartości I_1 i I_2 widzimy, że jesteśmy już bardzo blisko dokładnego rozwiązania.

A teraz prostsze zadanie do samodzielnego rozwiązania:

ZADANIE 1.2

W obwodzie z rysunku 1-1 wyznacz wartość rezystancji R taką, aby prąd I wynosił 0,5 mA (czyli $5 \cdot 10^{-3}$ A).

2.2.2 Transzystor MOS

Transzystory MOS są omówione w części I, punkty 3.1.3 i 3.1.5. Przykłady i zadania pomogą nie tylko zaznajomić się z ich charakterystykami, ale też przygotować się do rozważania układów cyfrowych i analogowych z tymi transzystorami. W przykładach i zadaniach przyjmujemy następujące dane liczbowe: dla transzystorów nMOS iloczyn ruchliwości nośników i jednostkowej pojemności tlenku bramkowego wynosi: $\mu C_{ox} = 80 \mu\text{A}/\text{V}^2$, dla transzystorów pMOS $\mu C_{ox} = 27 \mu\text{A}/\text{V}^2$. Charakterystyki prądowo-napięciowe transzystorów MOS opisane są wzorami 3-3 do 3-8 w punkcie 3.1.5 części I.

PRZYKŁAD 1.6

Oblicz wartość stosunku szerokości do długości kanału W/L tranzystorów:

a) nMOS o napięciu progowym $V_T = 0,75 \text{ V}$

b) pMOS o napięciu progowym $V_T = -0,85 \text{ V}$,

dla których prąd drenu powinien wynosić $100 \mu\text{A}$. Napięcia polaryzacji: napięcie dren-źródło $V_{DS} = 5 \text{ V}$, napięcie bramka-źródło $V_{GS} = 2 \text{ V}$. Napięcie polaryzacji podłoża V_{BS} jest równe zero.

Rozwiązanie:

Najpierw trzeba sprawdzić, który z wzorów na prąd drenu należy zastosować. Napięcie V_{BS} jest równe zero, więc nie będzie potrzebny wzór 3-6, a napięcia progowe będą równe podanym wyżej. Napięcie V_{GS} jest większe od napięć progowych (w przypadku tranzystora pMOS bierzemy wartość bezwzględną tego napięcia – patrz uwaga w punkcie 3.1.5), a więc nie będą to wzory 3-3 ani 3-8. Napięcie V_{DSsat} (zwane napięciem nasycenia) wynosi dla tranzystora nMOS: $V_{DSsat} = 2 - 0,75 = 1,25 \text{ V}$, a dla tranzystora pMOS $V_{DSsat} = 2 - 0,85 = 1,15 \text{ V}$. W obu przypadkach jest ono mniejsze od V_{DS} , więc oba tranzystory znajdują się w stanie nasycenia, a prąd drenu jest określony wzorem 3-5. Wyznamy z niego stosunek W/L :

$$\frac{W}{L} = \frac{2I_D}{\mu C_{ox}(V_{GS} - V_T)^2}$$

Stąd obliczamy:

$$a) \frac{W}{L} = \frac{2 \cdot 100 \cdot 10^{-6}}{80 \cdot 10^{-6} (2 - 0,75)^2} = 1,6$$

$$b) \frac{W}{L} = \frac{2 \cdot 100 \cdot 10^{-6}}{27 \cdot 10^{-6} (2 - 0,85)^2} = 5,6$$

Jak widać, tranzystor pMOS musi być znacznie szerszy, jeśli długość kanału L będzie w obu tranzystorach taka sama. Wynika to zarówno z mniejszej wartości ruchliwości dziur (stąd mniejsza wartość iloczynu μC_{ox}), jak i z wyższej wartości napięcia progowego.

Teraz ocenimy wpływ polaryzacji podłoża V_{BS} .

PRZYKŁAD 1.7

Wykonaj obliczenia takie, jak w poprzednim przykładzie, zakładając że w obu przypadkach napięcie polaryzacji podłoża względem źródła V_{BS} nie jest równe zero i wynosi -2 V , a wartości parametrów w zależności 3-6 wynoszą: $\gamma = 0,2 \text{ V}^{0,5}$, $|2\Phi_F| = 1,5 \text{ V}$. Pamiętajmy, że napięcie progowe tranzystora pMOS traktujemy jako dodatnie.

Rozwiązanie: polaryzacja podłoża wpływa na wartość napięcia progowego. Obliczamy najpierw zmodyfikowane napięcia progowe (wzór 3-6 w punkcie 3.1.5 części I):

$$a) V_T = V_{T0} + \gamma(\sqrt{|2\Phi_F| - V_{BS}} - \sqrt{|2\Phi_F|}) = 0,75 + 0,2 * (\sqrt{1,5 + 2} - \sqrt{1,5}) = 0,879 \text{ V}$$

$$b) V_T = V_{T0} + \gamma(\sqrt{|2\Phi_F| - V_{BS}} - \sqrt{|2\Phi_F|}) = 0,85 + 0,2 * (\sqrt{1,5 + 2} - \sqrt{1,5}) = 0,979 \text{ V}$$

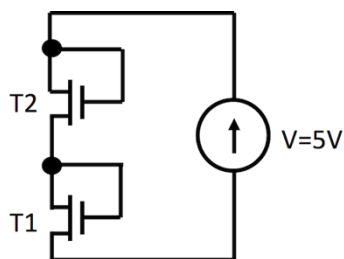
Teraz powtarzamy obliczenia takie, jak w poprzednim przykładzie, z nowymi wartościami napięć progowych:

$$a) \frac{W}{L} = \frac{2 \cdot 100 \cdot 10^{-6}}{80 \cdot 10^{-6} (2 - 0,879)^2} = 1,99 \text{ (w praktyce przyjęlibyśmy wartość } W/L \text{ równą } 2)$$

$$b) \frac{W}{L} = \frac{2 \cdot 100 \cdot 10^{-6}}{27 \cdot 10^{-6} (2 - 0,979)^2} = 7,1$$

Jak widzimy, wpływ polaryzacji podłoża jest znaczny.

Do samodzielnego rozwiązania będzie teraz zadanie nieco trudniejsze:



Rysunek 2-2. Obwód z szeregowym połączeniem dwóch tranzystorów nMOS

ZADANIE 1.3

Dany jest obwód pokazany na rysunku 1-2. Jest to połączenie szeregowe dwóch tranzystorów, z których każdy ma dren zwarty z bramką (mówimy, że jest to tranzystor w połączeniu diodowym, więcej o tym w części IV). Oblicz prąd I płynący w tym obwodzie, wiedząc, że napięcia progowe tranzystorów się różnią: dla T1 napięcie progowe $V_T = 0,7 \text{ V}$, dla T2 $V_T = 0,8 \text{ V}$. Inne dane jak w poprzednich przykładach. Napięcie polaryzacji podłoża obu tranzystorów przyjmujemy równe zero. Następnie oblicz napięcia bramka-źródło V_{GS} każdego z tranzystorów.

WSKAZÓWKA

Dla tranzystora w połączeniu diodowym (jak na rysunku 1-2), czyli mającego dren zwarty z bramką, napięcia bramka-źródło V_{GS} i dren-źródło V_{DS} są sobie równe. Zatem tranzystor w takim połączeniu pracuje zawsze w stanie nasycenia, bo spełniony jest warunek $V_{DSsat} = V_{GS} - V_T < V_{DS}$.

Czasem trzeba zapewnić pracę tranzystora w zakresie nasycenia. Napięcie nasycenia jest dane prostą zależnością (część I, punkt 3.1.5): $V_{DSsat} = V_{GS} - V_T$. Oto przykład pokazujący, jak trzeba zwymiarować tranzystor, by uzyskać wymaganą wartość napięcia nasycenia:

PRZYKŁAD 1.8

Oblicz minimalną szerokość kanału tranzystora nMOS, jeśli wiadomo, że dla prądu drenu równego $25 \mu A$ napięcie nasycenia ma być nie większe, niż $0,7 V$. Dane procesu CMOS: minimalna długość kanału tranzystorów $0,7 \mu m$, minimalna szerokość kanałów tranzystorów $1 \mu m$, napięcie progowe $V_{Tn} = 0,75 V$, $\mu_n C_{ox} = 80 \mu A/V^2$.

Rozwiązanie:

Na granicy zakresów liniowego i nasycenia (patrz część I, punkt 3.1.5) obowiązuje zależność 3-5:

$$I_D = \mu C_{ox} \frac{W}{L} \frac{(V_{GS} - V_T)^2}{2}$$

Ale $V_{DSsat} = V_{GS} - V_T$, czyli na granicy zakresu nasycenia $I_D = \mu C_{ox} \frac{W}{L} \frac{V_{DSsat}^2}{2}$

$$\text{a stąd } \frac{W}{L} = \frac{2I_D}{\mu C_{ox} V_{DSsat}^2} = \frac{2 \cdot 25 \cdot 10^{-6}}{80 \cdot 10^{-6} \cdot 0,7^2} = 1,27$$

Jeżeli przyjmiemy, że długość kanału jest minimalna ($0,7 \mu m$), to minimalna szerokość kanału wynosi $0,7 \cdot 1,27 = 0,89 \mu m$. Jest to jednak wartość mniejsza od minimalnej dla danej technologii, toteż przyjmujemy $W = 1 \mu m$. Napięcie nasycenia wyniesie wówczas

$$V_{DSsat} = \sqrt{\frac{2I_D}{\mu C_{ox}} \frac{L}{W}} = \sqrt{\frac{2 \cdot 25 \cdot 10^{-6}}{80 \cdot 10^{-6}} \frac{0,7}{1}} = 0,66 V$$

A więc warunek zadania jest spełniony.

Zadanie do samodzielnego rozwiązania jest podobne, ale dotyczy tranzystora pMOS:

ZADANIE 1.4

Oblicz minimalną szerokość kanału tranzystora pMOS, jeśli wiadomo, że dla prądu drenu równego $25 \mu A$ napięcie nasycenia ma być nie większe, niż $0,7 V$. Dane procesu CMOS: minimalna długość kanału tranzystorów $0,7 \mu m$, minimalna szerokość kanałów tranzystorów $1 \mu m$, napięcie progowe $V_{Tp} = -0,85 V$, $\mu_p C_{ox} = 27 \mu A/V^2$.

2.2.3 Tranzystor bipolarny

Tranzystorowi bipolarnemu (omówionemu w części I, punkty 3.1.4 i 3.1.6) nie poświęcimy zbyt wiele miejsca, bo zajmujemy się głównie układami CMOS.

PRZYKŁAD 1.9

Oblicz powierzchnię emitera A_E tranzystora bipolarnego taką, aby przy napięciu baza-emiter $V_{BE}=0,7$ V prąd kolektora w temperaturze otoczenia wynosił 1 mA. Zakładamy, że tranzystor pracuje w warunkach polaryzacji normalnej, czyli że złącze kolektor-baza jest spolaryzowane w kierunku zaporowym. W temperaturze otoczenia gęstość prądu $J_{ES0}=10^{-16}$ A/ μm^2 .

Rozwiązanie:

W warunkach polaryzacji normalnej prąd kolektora określa zależność 3-12 (punkt 3.1.6 części I), w której prąd I_{ES0} dany jest wzorem 3-13. Stąd dla powierzchni emitera A_E łatwo otrzymać

$$A_E = \frac{I_C}{J_{ES0} e^{\frac{qV_{BE}}{kT}}} = \frac{1 \cdot 10^{-3}}{1 \cdot 10^{-16} e^{\frac{0,7}{0,026}}} = 20,3 \mu\text{m}^2$$

Zwróćmy uwagę na dwa warunki: po pierwsze – warunek polaryzacji normalnej, po drugie – temperatura. Współczynnik J_{ES0} bardzo silnie (wykładniczo) rośnie z temperaturą.

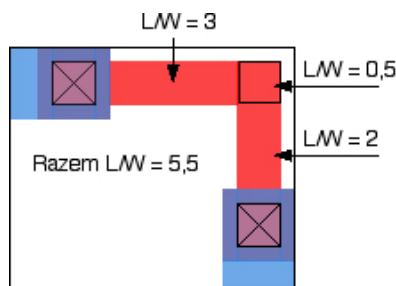
A teraz trywialnie proste zadanie do samodzielnego rozwiązania:

ZADANIE 1.5

W tranzystorze z przykładu 1.9 prąd kolektora wynosi 1 mA. Ile wynosi prąd bazy, jeśli stałoprądowy współczynnik wzmocnienia prądowego h_{FE} jest równy 150?

2.2.4 Rezystor polikrzemowy

Rezystory w układach scalonych są omówione w części I, punkt 3.1.7. Wykonamy kilka prostych obliczeń dla rezystorów.



Rysunek 2-3. Przykładowy rezystor polikrzemowy

PRZYKŁAD 1.10

Oblicz rezystancję rezystora o kształcie jak na rysunku 1-3, jeśli wiadomo, że w temperaturze otoczenia rezystancja warstwowa polikrzemu R_s jest równa $25 \Omega / \square$, a rezystancja kontaktu wynosi 15Ω .

Rozwiązanie:

Rezystancja rezystora jest sumą rezystancji ścieżki polikrzemowej i sumy rezystancji dwóch kontaktów. Dla obliczenia rezystancji ścieżki posłużmy wzór 3-18 (część I, punkt 3.1.7). Zastępczy stosunek L/W dla rezystora z rysunku 1-3 wynosi (jak pokazano na rysunku) 5,5. Stąd rezystancja ścieżki jest równa

$$R = R_s \frac{L}{W} = 25 * 5,5 = 137,5 \Omega$$

Po dodaniu sumy rezystancji dwóch kontaktów otrzymujemy całkowitą rezystancję równą $137,5 + 2*15 = 167,5 \Omega$.

A oto proste zadanie do samodzielnego rozwiązania:

ZADANIE 1.6

Oblicz, jaką co najmniej powierzchnię musiałby zająć rezystor o rezystancji $10 \text{ k}\Omega$, wykonany z polikrzemu o danych jak w przykładzie 1.10, jeśli minimalna szerokość ścieżki rezystora wynosi $1 \mu\text{m}$. Pomiń rezystancję kontaktów i zajęta przez nie powierzchnię.

2.2.5 Kondensator

O tym, jak można wykonać w układzie scalonym kondensator, jest mowa w punkcie 3.1.7. Zobaczymy, jaką pojemność można uzyskać wykorzystując jako kondensator tranzystor nMOS (rysunek 3-25 w części I, punkt 3.1.7).

PRZYKŁAD 1.11

Oblicz, jaką powierzchnię $A=W*L$ musiałaby mieć bramka tranzystora nMOS, aby mogła pełnić rolę kondensatora o pojemności 1 pF, jeśli grubość tlenku bramkowego t_{ox} wynosi 6 nm. Względna przenikalność dielektryczna SiO_2 wynosi 3,82. Przenikalność dielektryczna próżni ϵ_0 wynosi $8,854*10^{-12}$ F/m.

Rozwiązanie:

Rozważaną pojemnością będzie pojemność bramki tranzystora do kanału, gdy źródło jest zwarte z drenem.

Traktując tę pojemność jako pojemność kondensatora płaskiego mamy: $C = \frac{\epsilon\epsilon_0 A}{t_{ox}}$

$$\text{Stąd } A = \frac{C t_{ox}}{\epsilon\epsilon_0} = \frac{1*10^{-12} * 6*10^{-9}}{8,854*10^{-12} * 3,82} = 177 * 10^{-12} m^2 = 177 \mu m^2$$

Widzimy, jak dużą powierzchnię zajmie w układzie taki kondensator. Typowe wartości pojemności bramek tranzystorów MOS o zwykłych, małych wymiarach są rzędu femtofaradów ($1 fF = 10^{-15}$ F).

2.3 Zależności ekonomiczne w mikroelektronice

O tym, od czego i jak zależy koszt układu scalonego, traktuje punkt 4.2.5 części I materiałów omawiających układy scalone.

PRZYKŁAD 1.12

W pewnej technologii CMOS koszt jednej partii produkcyjnej liczącej 100 płytek wynosi 200 000 EURO. Płytki mają średnicę 20 cm, a wytwarzany na nich jest układ scalony średniej wielkości: wymiary 2×4 mm². Układ jest montowany w taniej obudowie z tworzywa sztucznego, koszt montażu (wraz z testowaniem końcowym) jednego układu wynosi 1 EURO. Ile wynosi koszt wyprodukowania jednego sprawnego układu, jeżeli uzysk produkcyjny wynosi: (a) 95%, (b) 50%, (c) 5%? Dla uproszczenia zakładamy uzysk montażu równy 100%.

Rozwiązanie:

Posłużymy się wzorem 4-5 (część I, punkt 4.2.5)

$$K_{prod} = \frac{1}{u_m} \left(k_s + \frac{K_A}{u_p} \frac{A_u}{L_p A_p} \right)$$

W tym wzorze powierzchnia płytki A_p wynosi $3,14*100^2$ mm²=31400 mm², powierzchnia układu 8 mm².

Podstawiając wszystkie dane otrzymujemy (w zaokrągleniu):

$$a) \quad K_{prod} = \frac{1}{1} \left(1 + \frac{200000}{0,95} \frac{8}{100*31400} \right) = 1,54 \text{ EURO}$$

$$b) \quad K_{prod} = \frac{1}{1} \left(1 + \frac{200000}{0,5} \frac{8}{100*31400} \right) = 2 \text{ EURO}$$

$$c) \quad K_{prod} = \frac{1}{1} \left(1 + \frac{200000}{0,05} \frac{8}{100*31400} \right) = 11,2 \text{ EURO}$$

Ten przykład pokazuje, jak niski uzysk produkcyjny podnosi koszt układu. Zauważmy też, że w pierwszym przypadku w cenie układu 2/3 to koszt obudowy i montażu, w drugim przypadku – połowa, a w trzecim przypadku dominuje koszt struktury układu.

Kolejny przykład będzie pokazywał od strony praktycznej dylematy projektanta układu scalonego. Przed zapoznaniem się z tym przykładem przeczytaj także w części II materiałów punkt 4.1.

PRZYKŁAD 1.13

Należy wybrać najtańszą technologię w celu wykonania prototypu cyfrowego układu CMOS, dla którego spodziewana liczba tranzystorów wynosi 40 000, i oszacować przybliżony koszt wykonania prototypu. Do dyspozycji są trzy technologie CMOS:

Technologia	Cena za 1 mm ² prototypowego układu w EURO	Średnia powierzchnia przypadająca na jeden tranzystor w układzie cyfrowym (w μm ²)
CMOS 0.7	280	80
CMOS 0.5	390	50
CMOS 0.35	590	20

Układ będzie miał 20 wyprowadzeń, po 5 na każdym boku płytki. Każde wyprowadzenie zajmuje w układzie obszar prostokątny o wymiarach 200 x 500 mm niezależnie od technologii (w tym prostokącie mieści się pole montażowe oraz bufory wejścia/wyjścia i elementy zabezpieczające układ przed przekroczeniem dopuszczalnych napięć). Układ będzie zmontowany w najtańszej możliwej obudowie ceramicznej (typ DIL24, 24 wyprowadzenia), koszt obudowy i montażu 1 egzemplarza prototypu wynosi 25 EURO. Zmontowanych ma być 20 sztuk prototypowych układów.

Rozwiązanie:

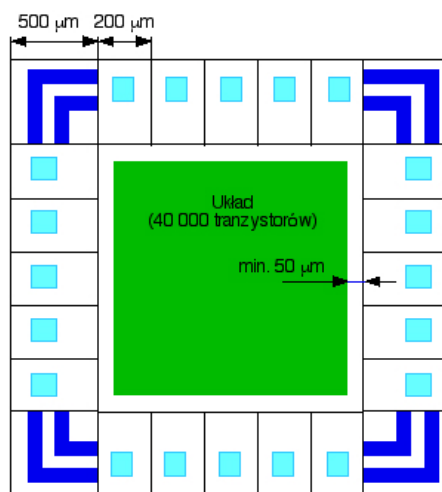
Najpierw oszacujemy powierzchnię, jaką zajmie układ zawierający 40 000 tranzystorów, nie uwzględniając wyprowadzeń. Mnożąc liczbę tranzystorów przez powierzchnię przypadającą średnio na jeden tranzystor otrzymujemy

Technologia	Powierzchnia układu bez wyprowadzeń (w mm ²)	Wymiary w μm	Koszt (bez wyprowadzeń)
CMOS 0.7	3,2	1790 x 1790	896 EURO
CMOS 0.5	2	1410 x 1410	780 EURO
CMOS 0.35	0,8	890 x 890	472 EURO

Jak widać, bez wyprowadzeń najtaniej wypada układ w technologii najbardziej zaawansowanej. Jeśli uwzględnimy wyprowadzenia, sytuacja się zmienia. Założymy, że topografia układu będzie wyglądać jak na rysunku 2-4. Jak widać, najmniejsza możliwa powierzchnia układu wraz z polami montażowymi wynosi $2 \times 2 = 4 \text{ mm}^2$. Ale układ musi zmieścić się we wnętrzu pierścienia pól montażowych z pozostawieniem min. 50 μm odstępu dla poprowadzenia połączeń do wyprowadzeń. Wnętrze pierścienia ma wymiary 1000 x 1000 μm. Układ w technologii CMOS 0.35 mieści się. Pozostałe dwa nie mieszczą się, i trzeba rozluźnić pierścienie wyprowadzeń, aby powiększyć wnętrze. Można łatwo obliczyć, że dla układu w technologii CMOS 0.5 minimalne wymiary zewnętrzne pierścienia wynoszą $2,51 \times 2,51 = 6,3 \text{ mm}^2$, a dla technologii CMOS 0.7 te wymiary wynoszą $2,89 \times 2,89 = 8,35 \text{ mm}^2$. Ostatecznie otrzymujemy następujące powierzchnie całkowite układów i ich koszty:

Technologia	Całkowita powierzchnia układu w mm ²	Koszt dla powierzchni całkowitej	Koszt wraz z montażem 20 szt.
CMOS 0.7	8,35	2338 EURO	2838 EURO
CMOS 0.5	6,3	2457 EURO	2957 EURO
CMOS 0.35	4	2360 EURO	2860 EURO

Jak widać, ostatecznie najtańszy jest układ w technologii CMOS 0.7, ale różnice są bardzo małe. Można więc uznać, że nie mają one znaczenia (tym bardziej, że obliczenia powierzchni układu na podstawie średniej powierzchni przypadającej na tranzystor są szacunkowe), i wybrać technologię najnowocześniejszą - CMOS 0.35, w której układy będą działały najszybciej.



Rysunek 2-4. Szkic topografii układu do przykładu 1.13 (rysunek schematyczny, bez zachowania skali i proporcji wymiarów)

Przykład 1.13 ilustruje sposób wyboru najtańszej technologii i pokazuje dość realistyczne wyniki dla niezbyt dużych układów cyfrowych. Nie należy jednak wyciągać zeń wniosku, że zawsze różnice kosztu będą równie małe. Zazwyczaj dla małych i prostych układów wyraźnie najtańsze są technologie najmniej zaawansowane, a dla układów bardzo dużych przeciwnie - technologie najbardziej zaawansowane.

I jeszcze jeden komentarz. W układach cyfrowych tranzystory mają małe i niezbyt różniące się między sobą wymiary, natomiast w układach analogowych tranzystory są dużo większe, a ich wymiary w układach dużo bardziej zróżnicowane (dlaczego - o tym jest mowa w części IV materiałów). Pojęcie średniej powierzchni przypadającej na tranzystor traci sens. Inna rzecz, że w obecnym stanie techniki układy analogowe CMOS projektuje się zazwyczaj jako bloki w dużych układach cyfrowo-analogowych typu „system on chip”, gdzie zajmują one zwykle niewielką część powierzchni całego układu.

Na koniec proste zadanie do samodzielnej analizy kosztu:

ZADANIE 1.7

Ile wynosi koszt układu produkowanego w technologii omawianej w przykładzie 1.12, jeśli produkowany układ jest duży: $10 \times 10 \text{ mm}^2$? Rozważ dwie wersje montażu: (a) obudowa z tworzywa jak w przykładzie 1.12, koszt 1 EURO, (b) obudowa ceramiczna, koszt wraz z montażem i testowaniem 18 EURO, oraz wszystkie 3 przypadki wartości uzysku produkcyjnego. Inne dane jak w przykładzie 1.12.

3 Przykłady i zadania do części II

Do części II nie ma zadań rachunkowych, jest natomiast ćwiczenie zapoznające z projektowaniem topografii układu w stylu „full custom”. Przed zapoznaniem się z przykładem 2.1 i samodzielnym rozwiązaniem zadania 2.1 koniecznie przeczytaj następujące fragmenty materiałów: w części I punkt 3.2.2, w części II cały punkt 4.2 oraz punkt 5.1.1. Obejrzyj także krótkie filmy wideo pokazujące, jak posługiwać się programem „Microwind”, który będzie używany do projektowania topografii. Plik zawierający topografię bramki pokazaną w przykładzie 2.1 znajdziesz w katalogu z programem „Microwind”.

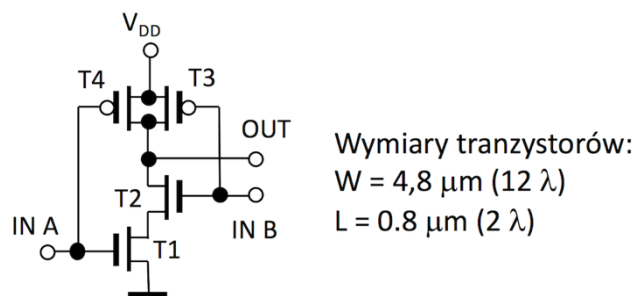
PRZYKŁAD 2.1

Zaprojektować topografię dwuwęściowej bramki NAND. Schemat bramki (jak na rysunku 3-28 w części I) i wymiary tranzystorów pokazane są na rysunku 2-1. Topografia powinna spełniać reguły projektowania technologii CMOS 0.8. Po zaprojektowaniu topografii należy wykonać symulację sprawdzającą poprawność działania bramki.

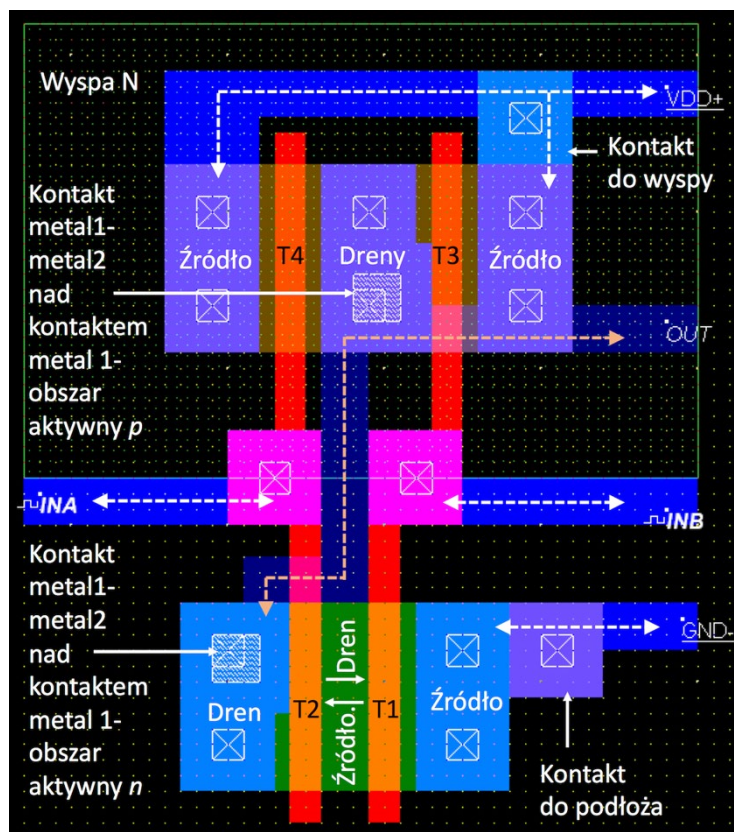
Rozwiązanie:

Rysunek 2-2 pokazuje przykładową topografię. Etykiety VDD+, GND-, INA, INB, OUT pochodzą z programu Microwind. Na tle obrazu topografii z programu Microwind naniesiono liczne objaśnienia ułatwiające przeanalizowanie topografii. Przerywanymi liniami pokazano połączenia elektryczne: liniami białymi połączenia ścieżkami metalu I, pomarańczowymi – połączenia ścieżkami metalu II. Zaznaczono tranzystory. Tranzystory T1 i T2, które są połączone szeregowo, zrealizowano w ten sposób, że jest to jeden obszar aktywny typu n (zielony, widoczny w dolnej części topografii) przecięty dwoma paskami polikrzemu tworzącymi bramki tranzystorów. Obszar pomiędzy bramkami służy jako dren dla tranzystora T1 i zarazem jako źródło dla tranzystora T2.

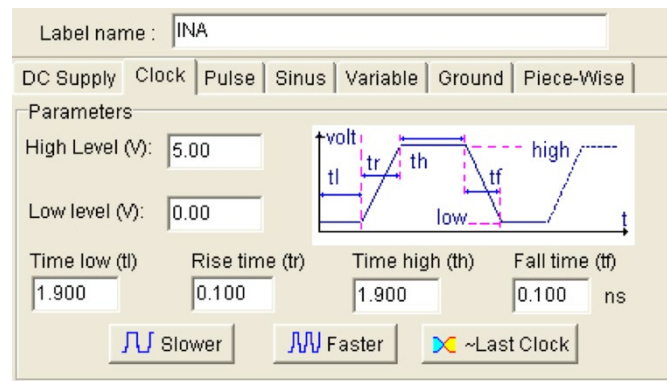
Rysunki 2-3 i 2-4 pokazują, jak należało ustawić warunki symulacji w programie Microwind, rysunek 2-5 pokazuje wyniki symulacji.



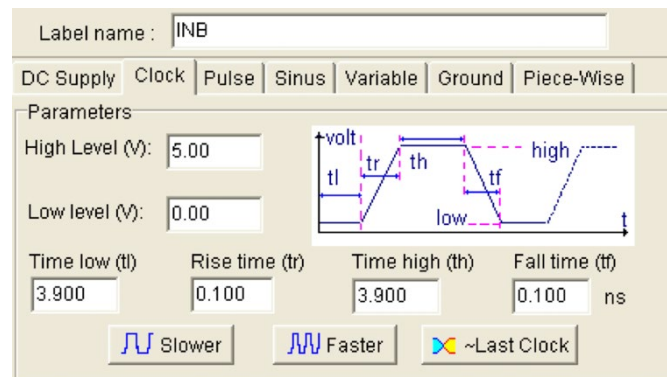
Rysunek 2-1. Dwuwęściowa bramka NAND z wymiarami tranzystorów



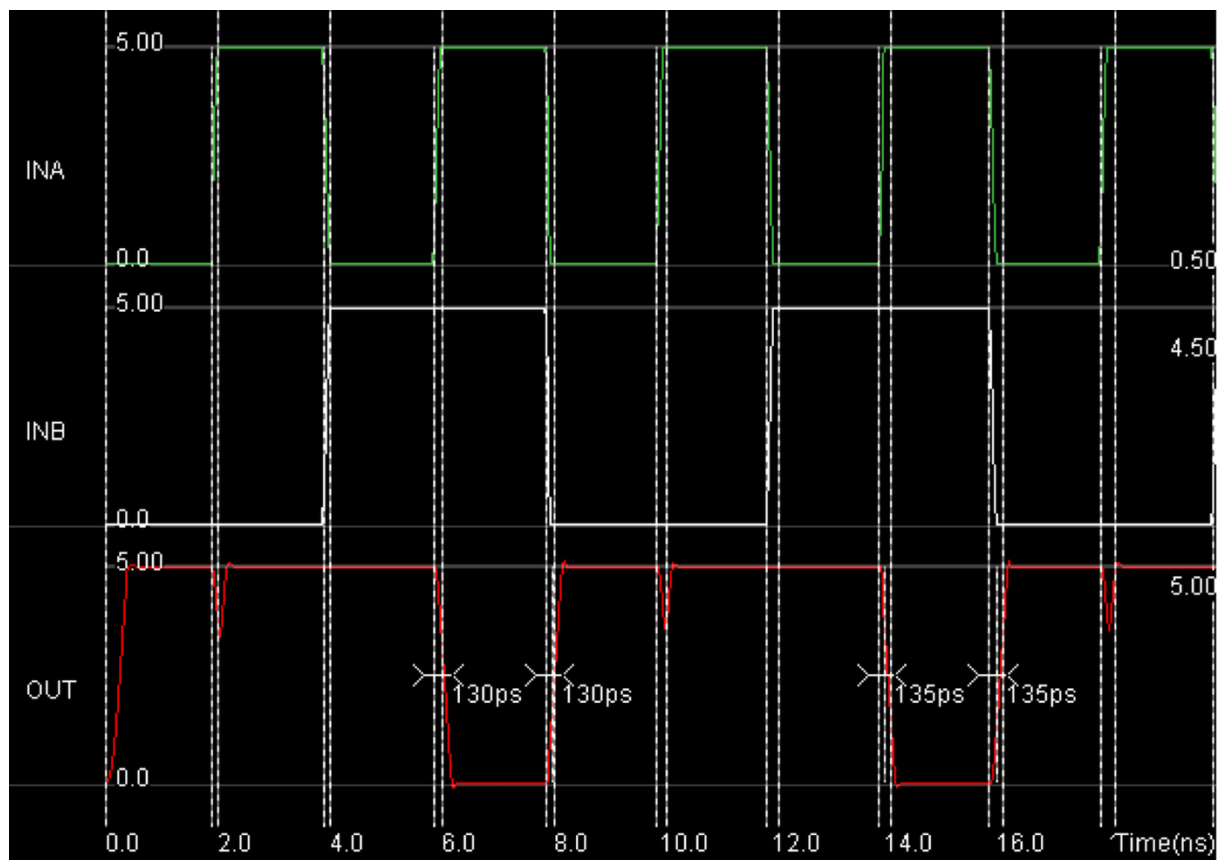
Rysunek 2-2. Topografia bramki NAND z objaśnieniami



Rysunek 2-3. Sygnał na wejściu A



Rysunek 2-4. Sygnał na wejściu B - czas trwania impulsów dwa razy dłuższy, niż na wejściu A



Rysunek 2-5. Wynik symulacji bramki NAND

Zadanie do samodzielnego rozwiązania będzie prostsze. Przed jego wykonaniem przeczytaj także punkty 2.2.1 do 2.2.4 części III materiałów, aby umieć zinterpretować wyniki symulacji. Będzie to zarazem dobry wstęp do zadań dotyczących części III materiałów.

ZADANIE 2.1

Zaprojektuj topografię inwertera CMOS (schemat jak na rysunku 3-27 w części I) w dwóch wersjach wymiarów tranzystorów: (a) oba tranzystory takie same: $W = 4,8 \mu\text{m}$ (12λ), $L = 0,8 \mu\text{m}$ (2λ), (b) tranzystor pMOS dwukrotnie poszerzony: $W = 9,6 \mu\text{m}$ (24λ). Powinny być spełnione wszystkie reguły projektowania. Wykonaj symulacje, zaobserwuj różnicę.

Projektując topografię staraj się zachowywać reguły dobrego projektowania:

- powierzchnia bramki powinna być jak najmniejsza,
- wszystkie wyprowadzenia (masa, zasilanie, wejścia, wyjścia) powinny być doprowadzone do obrysu bramki i poprowadzone metalem 1 lub metalem 2,
- nie wykonuj długich połączeń paskami polikrzemu,
- pamiętaj o kontaktach do wyspy i do podłoża,
- stosuj jak najprostsze kształty ścieżek, bez zbędnych zagięć, przewężeń itp.,
- kontakty do źródeł i drenów tranzystorów powinny być tak blisko bramek, jak na to pozwalają reguły projektowania.

4 Przykłady i zadania do części III

Część III jest poświęcona układom cyfrowym. Przykłady i zadania zilustrują ilościowo takie zagadnienia, jak charakterystyki przejściowe bramek, ich czasy przełączania, pobór mocy, a także pewne problemy występujące w dużych systemach cyfrowych. Będzie także przykład symulacji logicznej małego układu i zadanie z symulacji logicznej do samodzielnego rozwiązania.

4.1 Inwerter, bramki NOR i NAND

Zanim zajmiesz się przykładami i zadaniami dotyczącymi bramek CMOS, przeczytaj punkty 2.2 i 2.3 części III materiałów.

4.1.1 Napięcie przełączania

PRZYKŁAD 3.1

Dana jest technologia CMOS, w której $V_{Tn} = 0,75 \text{ V}$, $V_{Tp} = -0,85 \text{ V}$, $\mu_n/\mu_p = 2,9$, minimalna długość kanału tranzystora $L = 0,7 \mu\text{m}$, minimalna szerokość kanału tranzystora $W = 1 \mu\text{m}$. Oblicz napięcie przełączania inwertera z tranzystorami o jednakowych, minimalnych wymiarach kanałów dla napięcia zasilania $V_{DD} = 5 \text{ V}$.

Rozwiązanie:

Napięcie przełączania określa wzór 2-3 (część III, punkt 2.2.1). Obliczmy najpierw:

$$r = \frac{\mu_p \left(\frac{W}{L}\right)_p}{\mu_n \left(\frac{W}{L}\right)_n} = 0,3448$$

skąd

$$V_p = \frac{V_{Tn} + \sqrt{r}(V_{DD} - |V_{Tp}|)}{1 + \sqrt{r}} = \frac{0,75 + 0,587 \cdot (5 - 0,85)}{1 + 0,587} = 2,007 \text{ V}$$

Teraz przykład ciekawszy:

PRZYKŁAD 3.2

Dana jest technologia CMOS, w której, podobnie jak w poprzednim przykładzie, $V_{Tn} = 0,75 \text{ V}$, $V_{Tp} = -0,85 \text{ V}$, $\mu_n/\mu_p = 2,9$, minimalna długość kanału tranzystora $L = 0,7 \mu\text{m}$, minimalna szerokość kanału tranzystora $W = 1 \mu\text{m}$. Oblicz napięcie przełączania inwertera z tranzystorami o jednakowych, minimalnych wymiarach kanałów dla napięcia zasilania $V_{DD} = 1,5 \text{ V}$. Zastanów się nad sensem otrzymanego wyniku!

Rozwiązanie:

Ponownie użyty będzie wzór 2-3 (część III, punkt 2.2.1). Wartość r pozostaje taka sama, jak w przykładzie 3.1: $r = 0,3448$.

skąd

$$V_p = \frac{V_{Tn} + \sqrt{r}(V_{DD} - |V_{Tp}|)}{1 + \sqrt{r}} = \frac{0,75 + 0,587 \cdot (1,5 - 0,85)}{1 + 0,587} = 0,713 \text{ V}$$

Napięcie to jest mniejsze niż napięcie progowe tranzystora nMOS. Oznacza to, że wzór 2-3 nie ma zastosowania – założenie, że dla napięcia równego napięciu przełączania oba tranzystory pracują w zakresie nasycenia (z czego wynika równanie 2-1, część III, punkt 2.2.1) nie jest spełnione. Napięcie przełączania można wiarygodnie określić wykonując symulację inwertera przy użyciu modelu tranzystora, który prawidłowo modeluje prąd podprogowy. Wniosek: przy wykonywaniu obliczeń zawsze trzeba sprawdzić, czy spełnione są założenia, przy których obowiązują użyte wzory. Dotyczy to w szczególności zakresów pracy tranzystora MOS – czy pracuje w tym zakresie, dla którego obowiązuje użyty wzór (patrz część I, punkt 3.1.5).

Inwerter pracujący przy tak niskim (w stosunku do napięć progowych) napięciu zasilania działa bardzo wolno, bo prądy drenu tranzystorów mają bardzo małe wartości.

Jeszcze jeden przykład – inwerter z niskim napięciem zasilania:

PRZYKŁAD 3.3

Dana jest technologia CMOS, w której, podobnie jak w poprzednim przykładzie, $V_{Tn} = 0,75 \text{ V}$, $V_{Tp} = -0,85 \text{ V}$, $\mu_n/\mu_p = 2,9$, minimalna długość kanału tranzystora $L = 0,7 \mu\text{m}$, minimalna szerokość kanału tranzystora $W = 1 \mu\text{m}$. Tranzystor nMOS ma minimalne wymiary kanału. Tranzystor pMOS ma minimalną długość kanału. Oblicz szerokość kanału tranzystora pMOS inwertera, przy której to szerokości otrzymuje się napięcie przełączania dokładnie równe $0,5 V_{DD}$ (zwróć uwagę na niejednakowe napięcia progowe!). Wykonaj obliczenia dla napięcia zasilania równego $1,5 \text{ V}$.

Rozwiązanie:

Obliczymy wartość współczynnika r dla napięcia przełączania równego połowie V_{DD} , czyli $0,75 \text{ V}$ (wzór 2-5, z części III, punkt 2.2.1):

$$r = \left[\frac{V_p - V_{Tn}}{(V_{DD} - |V_{Tp}|) - V_p} \right]^2 = \frac{0,75 - 0,75}{(1,5 - 0,85 - 0,75)} = 0$$

Ten wynik oczywiście nie ma sensu fizycznego, a bierze się stąd, że – jak już wiemy – użyty wzór nie ma zastosowania przy tak niskim w stosunku do napięć progowych napięciu zasilania.

Do samodzielnego rozwiązania zadanie podobne, ale z dostatecznie wysokim napięciem zasilania:

ZADANIE 3.1

Dana jest technologia CMOS, w której, podobnie jak w poprzednich przykładach, $V_{Tn} = 0,75 \text{ V}$, $V_{Tp} = -0,85 \text{ V}$, $\mu_n/\mu_p = 2,9$, minimalna długość kanału tranzystora $L = 0,7 \text{ }\mu\text{m}$, minimalna szerokość kanału tranzystora $W = 1 \text{ }\mu\text{m}$. Tranzystor nMOS ma minimalne wymiary kanału. Tranzystor pMOS ma minimalną długość kanału. Oblicz szerokość kanału tranzystora pMOS inwertera, przy której to szerokości otrzymuje się napięcie przełączania dokładnie równe $0,5 V_{DD}$ (zwróć uwagę na niejednakowe napięcia progowe!). Wykonaj obliczenia dla napięcia zasilania równego 5 V .

Teraz zajmijmy się bramkami NOR i NAND.

PRZYKŁAD 3.4

Dana jest technologia CMOS, w której, podobnie jak w poprzednich przykładach, $V_{Tn} = 0,75 \text{ V}$, $V_{Tp} = -0,85 \text{ V}$, $\mu_n/\mu_p = 2,9$, minimalna długość kanału tranzystora $L = 0,7 \text{ }\mu\text{m}$, minimalna szerokość kanału tranzystora $W = 1 \text{ }\mu\text{m}$. Tranzystor nMOS ma minimalne wymiary kanału. Tranzystor pMOS ma minimalną długość kanału. Szerokość kanału tranzystora pMOS jest równa $3,3 \text{ }\mu\text{m}$. Napięcie zasilania wynosi 5 V . Oblicz napięcie przełączania przy równoczesnym przełączaniu wszystkich wejść dla bramek NOR o liczbie wejść 2, 4 i 6.

Rozwiązanie:

Dla bramki NOR użyjemy wzoru 2-13, część III, punkt 2.2.5:

$$V_p = \frac{V_{Tn} + \frac{1}{N}\sqrt{r}(V_{DD} - |V_{Tp}|)}{1 + \frac{1}{N}\sqrt{r}}$$

Obliczamy wartość r (wzór 2-4, część III, punkt 2.2.1):

$$r = \frac{K_p}{K_n} = \frac{\mu_p \left(\frac{W}{L}\right)_p}{\mu_n \left(\frac{W}{L}\right)_n} = \frac{1 \cdot \frac{3,3}{0,7}}{2,9 \cdot \frac{1}{0,7}} = 1,138$$

Następnie, podstawiając do wzoru 2-13 wartości $N = 2, 4$ i 6 otrzymujemy:

dla $N=2$ $V_p = 1,93 \text{ V}$,

dla $N=4$ $V_p = 1,46 \text{ V}$,

dla $N=6$ $V_p = 1,26 \text{ V}$.

Do samodzielnego rozwiązania podobne obliczenia, ale dla bramek NAND:

ZADANIE 3.2

Dana jest technologia CMOS, w której, podobnie jak w poprzednich przykładach, $V_{Tn} = 0,75 \text{ V}$, $V_{Tp} = -0,85 \text{ V}$, $\mu_n/\mu_p = 2,9$, minimalna długość kanału tranzystora $L = 0,7 \text{ }\mu\text{m}$, minimalna szerokość kanału tranzystora $W = 1 \text{ }\mu\text{m}$. Tranzystor nMOS ma minimalne wymiary kanału. Tranzystor pMOS ma minimalną długość kanału. Szerokość kanału tranzystora pMOS jest równa $3,3 \text{ }\mu\text{m}$. Napięcie zasilania wynosi 5 V . Oblicz napięcie przełączania przy równoczesnym przełączaniu wszystkich wejść dla bramek NAND o liczbie wejść 2, 4 i 6.

4.1.2 Czasy propagacji sygnału

O czasach propagacji sygnału jest mowa w części III, punkty 2.2.2 i 2.2.6. Zrobimy kilka prostych obliczeń.

PRZYKŁAD 3.5

Oszacuj czasy propagacji sygnałów dla inwertera o minimalnych wymiarach tranzystorów (dane jak w przykładzie 3.1) dla napięcia zasilania $V_{DD} = 5 \text{ V}$. Przyjmij $\mu_n C_{ox} = 80 \mu\text{A}/\text{V}^2$, $\mu_p C_{ox} = 27 \mu\text{A}/\text{V}^2$. Inwerter jest obciążony całkowitą pojemnością równą 50 fF .

Rozwiązanie:

Czasy propagacji określone są wzorami 2-7 i 2-8 (część III, punkt 2.2.2). Obliczamy:

$$t_{p10} = \frac{C_L V_{DD}}{\mu_n C_{ox} (V_{DD} - V_{Tn})^2} \left(\frac{L}{W} \right)_n = \frac{50 \cdot 10^{-15} \cdot 5}{80 \cdot 10^{-6} (5 - 0,75)^2} \left(\frac{0,7}{1} \right) = 121 \cdot 10^{-12} \text{ s} = 121 \text{ ps}.$$

$$t_{p01} = \frac{C_L V_{DD}}{\mu_p C_{ox} (V_{DD} - |V_{Tp}|)^2} \left(\frac{L}{W} \right)_p = \frac{50 \cdot 10^{-15} \cdot 5}{27 \cdot 10^{-6} (5 - 0,85)^2} \left(\frac{0,7}{1} \right) = 376 \cdot 10^{-12} \text{ s} = 376 \text{ ps}.$$

Jak widać, przy jednakowych wymiarach kanałów tranzystorów czas propagacji dla zmiany sygnału na wyjściu $0 \rightarrow 1$, który jest uzależniony od parametrów tranzystora pMOS, jest znacznie wydłużony.

Dla wyrównania czasów propagacji poszerzymy tranzystor pMOS (zakładając, że pojemność obciążająca nie ulegnie zmianie). Co wtedy będzie – zobacz rozwiązując samodzielnie kolejne zadanie.

ZADANIE 3.3

Oszacuj czasy propagacji sygnałów dla inwertera dla tranzystorów o danych jak w przykładzie 3.1, dla napięcia zasilania $V_{DD} = 5 \text{ V}$. Przyjmij, że tranzystor nMOS ma minimalne wymiary, a tranzystor pMOS ma minimalną długość kanału, a szerokość równą $3,3 \mu\text{m}$. Przyjmij $\mu_n C_{ox} = 80 \mu\text{A}/\text{V}^2$, $\mu_p C_{ox} = 27 \mu\text{A}/\text{V}^2$ (jak w przykładzie 3.5). Inwerter jest obciążony całkowitą pojemnością równą 50 fF .

I jeszcze jedno zadanie do samodzielnego rozwiązania – typowy problem przy projektowaniu bramek.

ZADANIE 3.4

Określ minimalne wymagane szerokości kanałów tranzystorów nMOS i pMOS dla inwertera obciążonego pojemnością $0,1 \text{ pF}$, jeśli oba czasy propagacji sygnału muszą być nie większe, niż 50 ps . Dane tranzystorów jak w przykładzie 3.1, $\mu_n C_{ox} = 80 \mu\text{A}/\text{V}^2$, $\mu_p C_{ox} = 27 \mu\text{A}/\text{V}^2$ (jak w przykładzie 3.5), napięcie zasilania $V_{DD} = 5 \text{ V}$.

4.2 Bramka transmisyjna

Bramki transmisyjne działają jak sterowane napięciem wyłączniki. Istotna może być zastępcza rezystancja, jaką ma taka bramka w stanie włączenia. Oszacować tę rezystancję można przy użyciu wzoru 2-15 (część III, punkt 2.3.1).

PRZYKŁAD 3.6

Oblicz zastępczą rezystancję pełnej (tj. z tranzystorami nMOS i pMOS połączonymi równolegle – schemat na rysunku 2-20, część III, punkt 2.3.1) bramki transmisyjnej CMOS dla tranzystorów o minimalnych wymiarach i danych jak w zadaniach wyżej.

Rozwiązanie:

Obliczamy (wpółczynniki K_n i K_p były zdefiniowane w części III, wzór 2-2, punkt 2.2.1) :

$$K_n = \mu_n C_{ox} \left(\frac{W}{L} \right)_n = 80 * 10^{-6} \frac{1}{0,7} = 114,3 * 10^{-6} \mu A/V^2$$

$$K_p = \mu_p C_{ox} \left(\frac{W}{L} \right)_p = 27 * 10^{-6} \frac{1}{0,7} = 38,57 * 10^{-6} \mu A/V^2$$

stąd

$$R_t = \frac{1}{K_n(V_{DD}-V_{Tn})+K_p(V_{DD}-|V_{Tp}|)} = \frac{1}{114,3*10^{-6}(5-0,75)+38,57*10^{-6}(5-0,85)} = 1548 \Omega$$

Jeśli maksymalna wartość zastępczej rezystancji jest określona, należy obliczyć wymiary tranzystorów tworzących bramkę. Jest to tematem następnego zadania do samodzielnego rozwiązania.

ZADANIE 3.5

Pełna bramka transmisyjna ma mieć zastępczą rezystancję nie większą od 500 Ω . Dane tranzystorów jak w przykładzie 3.6. Oblicz szerokość kanałów obu tranzystorów zakładając, że mają być takie same, a długości kanałów są minimalne (czyli 0,7 μm).

4.3 Problemy projektowania dużych układów

Tutaj pokazane będzie kilka wybranych problemów, jakie występują przy projektowaniu dużych układów.

4.3.1 Zasilanie dużego układu

Duże układy pobierają w impulsie, przy równoczesnej zmianie stanu wielu bramek, duży prąd. Stwarza to poważne problemy przy konstrukcji układów. O poborze prądu przez bramki CMOS przeczytasz w części III, punkt 2.2.3, a o problemach zasilania dużych układów w części III, punkt 5.2.

PRZYKŁAD 3.7

Dany jest blok funkcjonalny w układzie scalonym zawierający 1500 bramek. Pojedyncza bramka przy przełączaniu pobiera średnio prąd o wartości szczytowej równej 0,2 mA. Przyjmij, że przeciętnie w bloku w chwili przełączania zmienia stan połowa bramek, a druga połowa nie bierze udziału w przełączaniu. Do bloku napięcie zasilania doprowadzono ścieżką metalu 2 (o rezystancji warstwowej $R_{Smet} = 0,02 \Omega/\square$) o długości 200 μm . Oblicz minimalną szerokość ścieżki, dla której spadek napięcia w chwili przełączania nie przekroczy 0,1 V.

Rozwiązanie:

Aby spadek napięcia nie przekroczył $V_{max} = 0,1$ V, rezystancja ścieżki nie może przekroczyć $R_{max} = V_{max}/I_{max}$. Maksymalny prąd w impulsie I_{max} wynosi $750 \cdot 0,2 \cdot 10^{-3} \text{ A} = 150 \cdot 10^{-3} \text{ A}$. Zatem maksymalna rezystancja ścieżki jest równa $0,1/150 \cdot 10^{-3} = 0,67 \Omega$.

Rezystancja ścieżki dana jest wzorem 3-18 z części I, punkt 3.1.7:

$$R = R_s \frac{L}{W}$$

skąd dla minimalnej szerokości ścieżki W_{min} otrzymujemy

$$W_{min} = L \frac{R_s}{R} = 200 \frac{0,02}{0,67} = 6 \mu m$$

W zadaniu do samodzielnego rozwiązania policz, jaka jest maksymalna dopuszczalna długość ścieżki zasilania dla dużego bloku.

ZADANIE 3.6

Blok w układzie cyfrowym pobiera w impulsie maksymalny prąd równy 0,5 A. Zakładając, że układ będzie zasilany ścieżkami metalu o rezystancji warstwowej równej $0,02 \Omega/\square$, i szerokości 10 μm oblicz, jaka jest maksymalna suma długości ścieżek zasilania i masy, aby spadek napięcia zasilającego układ w chwili maksymalnego poboru prądu nie przekroczył 0,1 V.

4.3.2 Długie połączenia

W dużych układach długie połączenia stwarzają problemy nie tylko przy zasilaniu bloków układu, ale także przez to, że wprowadzają opóźnienia przy transmisji sygnałów. Jest o tym mowa w części III, punkt 5.2. Przykłady i zadania zilustrują to.

PRZYKŁAD 3.8

Określ długość ścieżki metalu 1 oraz ścieżki polikrzemu, dla których opóźnienie sygnału ma taką samą wartość, jak dla inwertera o wymiarach kanałów: $L = 0,7 \mu\text{m}$ dla obu tranzystorów, $W = 1,4 \mu\text{m}$ dla nMOS, $4,6 \mu\text{m}$ dla pMOS. Pozostałe dane tranzystorów takie, jak w poprzednich przykładach. Napięcie zasilania $V_{DD} = 5 \text{ V}$, całkowita pojemność obciążająca inwertera wynosi 50 fF . Przyjmij, że dla ścieżki metalu rezystancja warstwowa $R_{Smet} = 0,028 \Omega$, dla ścieżki polikrzemu rezystancja warstwowa $R_{Spoli} = 20 \Omega$, zaś pojemności do podłoża układu wynoszą: dla metalu $C_{Smet} = 0,03 \text{ fF}/\mu\text{m}^2$, dla polikrzemu $C_{Spoli} = 0,06 \text{ fF}/\mu\text{m}^2$. Rozwiązanie:

Obliczymy najpierw czasy propagacji sygnałów inwertera, jak w przykładzie 3.5

$$t_{p10} = \frac{C_l V_{DD}}{\mu_n C_{ox} (V_{DD} - V_{Tn})^2} \left(\frac{L}{W} \right)_n = \frac{50 \cdot 10^{-15} \cdot 5}{80 \cdot 10^{-6} (5 - 0,75)^2} \left(\frac{0,7}{1,4} \right) = 86,4 \cdot 10^{-12} \text{ s} = 86,4 \text{ ps.}$$

$$t_{p01} = \frac{C_l V_{DD}}{\mu_p C_{ox} (V_{DD} - |V_{Tp}|)^2} \left(\frac{L}{W} \right)_p = \frac{50 \cdot 10^{-15} \cdot 5}{27 \cdot 10^{-6} (5 - 0,85)^2} \left(\frac{0,7}{4,6} \right) = 81,7 \cdot 10^{-12} \text{ s} = 81,7 \text{ ps.}$$

Do dalszych obliczeń przyjmijmy średnią z tych dwóch opóźnień: 84 ps .

Opóźnienie na ścieżce wynosi w przybliżeniu $0,38RC$. Rezystancja ścieżki jest równa $R = R_s \frac{L}{W}$, a pojemność jest równa $C = C_s LW$. Zatem dla opóźnienia ścieżki t_s otrzymujemy $t_s = 0,38 R_s C_s L^2$. Stąd dla danego opóźnienia t_s otrzymujemy długość ścieżki równą $L = \sqrt{\frac{t_s}{0,38 R_s C_s}}$. Dla opóźnienia równego 84 ps otrzymujemy:

$$\text{Dla ścieżki metalu 1 } L = \sqrt{\frac{t_s}{0,38 R_s C_s}} = \sqrt{\frac{84 \cdot 10^{-12}}{0,38 \cdot 0,028 \cdot 0,03 \cdot 10^{-15}}} = 16222 \mu\text{m} \approx 16,2 \text{ mm},$$

$$\text{natomiast dla ścieżki polikrzemowej } L = \sqrt{\frac{t_s}{0,38 R_s C_s}} = \sqrt{\frac{84 \cdot 10^{-12}}{0,38 \cdot 20 \cdot 0,06 \cdot 10^{-15}}} = 429 \mu\text{m}.$$

Aby można było uznać, że połączenia nie mają istotnego wpływu na szybkość układu cyfrowego, opóźnienia wnoszone przez połączenia powinny być co najmniej o rząd wielkości mniejsze od opóźnień bramek. Oznacza to, że maksymalne długości połączeń w układzie CMOS z bramką $0,7 \mu\text{m}$ (takie układy rozważamy w zadaniach) nie powinny przekraczać około 5 mm dla metalu i około $130 \mu\text{m}$ dla polikrzemu. Gdybyśmy rozważali układy nowocześniejsze, np. z bramką o długości $0,12 \mu\text{m}$, to maksymalne długości ścieżek zmalałyby jeszcze mniej więcej sześciokrotnie.

W zadaniu do samodzielnego rozwiązania mowa jest o poważnym problemie w dużych układach – o opóźnieniach sygnału zegara. Jeśli są zbyt duże, układ przestaje pracować synchronicznie, co powoduje błędy w jego działaniu.

ZADANIE 3.7

W dużym cyfrowym układzie scalonym generator sygnału zegara umieszczony jest w dolnym lewym rogu płytki. Sygnał ten jest rozprowadzany ścieżkami metalu 1 do wszystkich bloków układu. Oszacuj w przybliżeniu maksymalne opóźnienie sygnału zegara w układzie (tj. czas propagacji od źródła do najdalej położonej bramki odbierającej sygnał zegara), jeśli płytka jest prostokątem o bokach 8 mm x 12 mm. Przyjmij następujące założenia:

(a) sygnał zegara rozprowadzany jest ścieżkami, które biegną równolegle do boków płytki po najkrótszych możliwych drogach,

(b) opóźnienie sygnału zegara wynika wyłącznie z czasu propagacji sygnału w ścieżkach. Przyjmij dane: rezystancja warstwowa metalu 1 $R_s = 0,03 \Omega$, pojemność metalu 1 do podłoża na jednostkę powierzchni $C_s = 0,03 \text{ fF}/\mu\text{m}^2$.

4.4 Symulacja logiczna

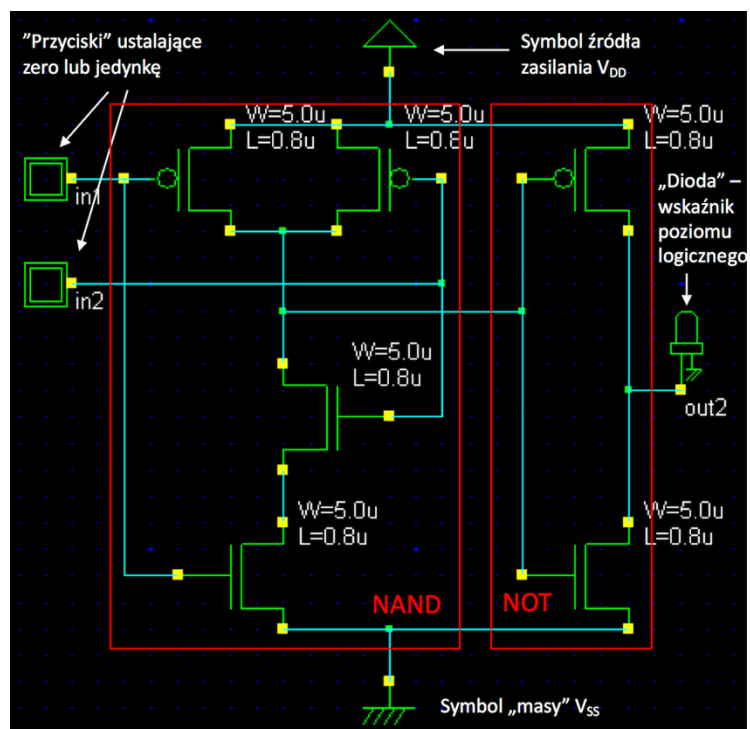
Poznanie problemów scalonych układów cyfrowych zakończymy praktycznymi przykładami symulacji logicznej. Przed zapoznaniem się z przykładem i zadaniem do samodzielnego rozwiązania trzeba opanować posługiwanie się programem „Dsch”, co ułatwią dwie krótkie prezentacje wideo.

PRZYKŁAD 3.9

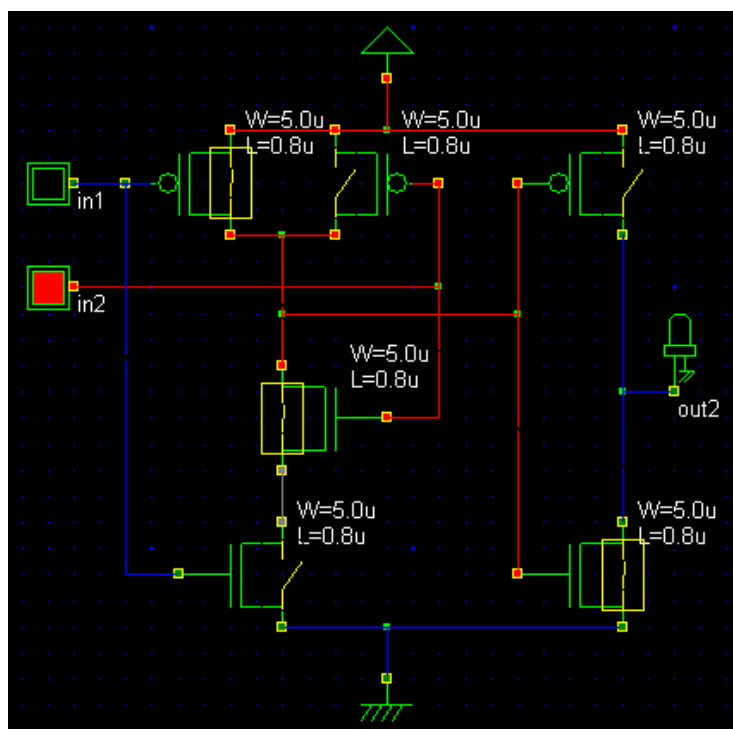
Zaprojektować schemat statycznej bramki CMOS wykonującej funkcję AND, a następnie przy pomocy programu Dsch sprawdzić, czy zaprojektowana bramka poprawnie wykonuje tę funkcję. Należy zrobić projekt w technologii CMOS 0,8 μm .

Rozwiązanie:

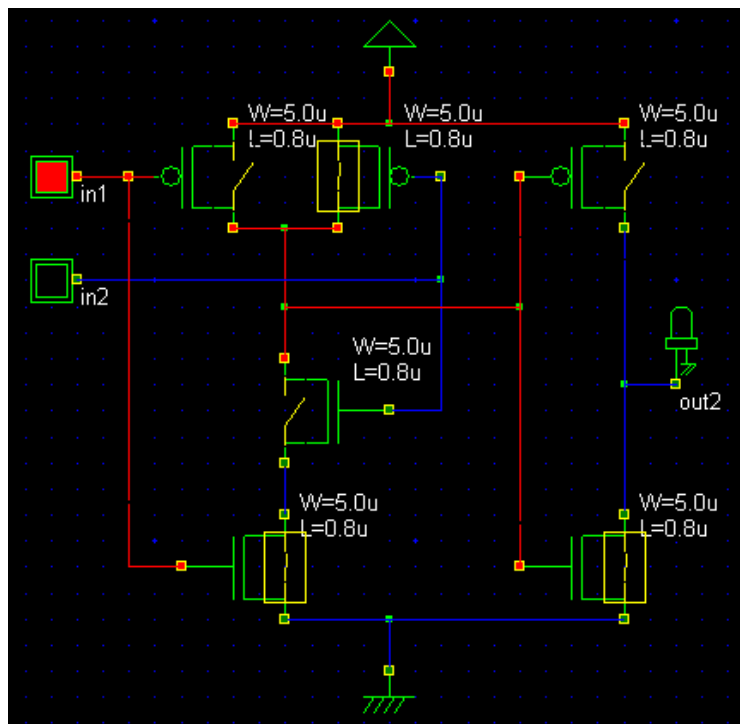
Aby zbudować bramkę AND, trzeba do bramki NAND dołączyć na wyjściu inwerter. Schemat wprowadzony do programu Dsch pokazuje rysunek 3-1. Kolejne rysunki pokazują wyniki symulacji statycznej. Aby wykonać taką symulację, należy uruchomić symulację i klikając w przyciski na wejściach zmieniać stany. Rysunek 3-5 pokazuje schemat bramki ze źródłami sygnałów w postaci impulsowej, czas trwania impulsu jednego ze źródeł jest dwukrotnie dłuższy, niż drugiego. Rysunek 3-6 pokazuje przebiegi czasowe na wejściach i na wyjściu przy symulacji układu ze źródłami sygnałów impulsowych.



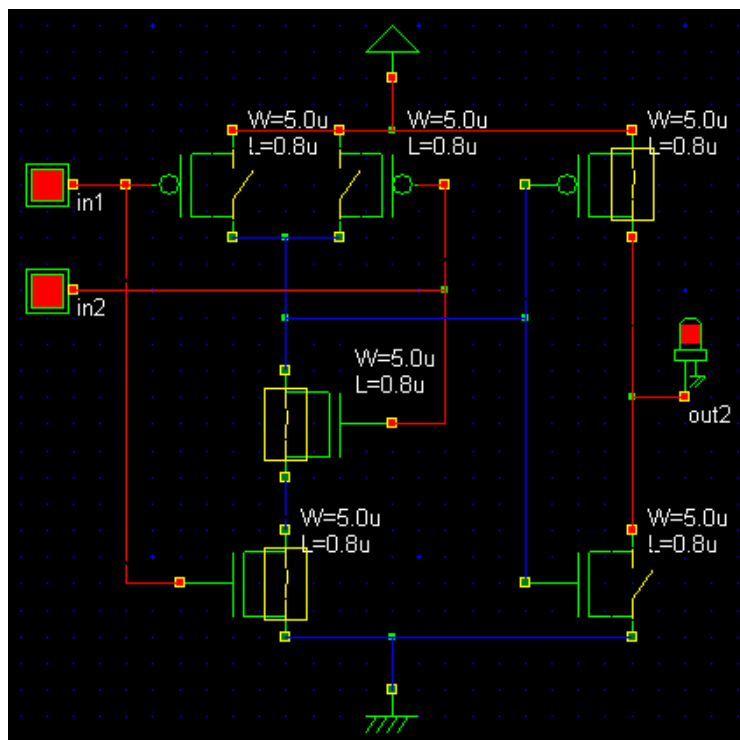
Rysunek 3-1. Schemat bramki AND w programie Dsch, z objaśnieniami



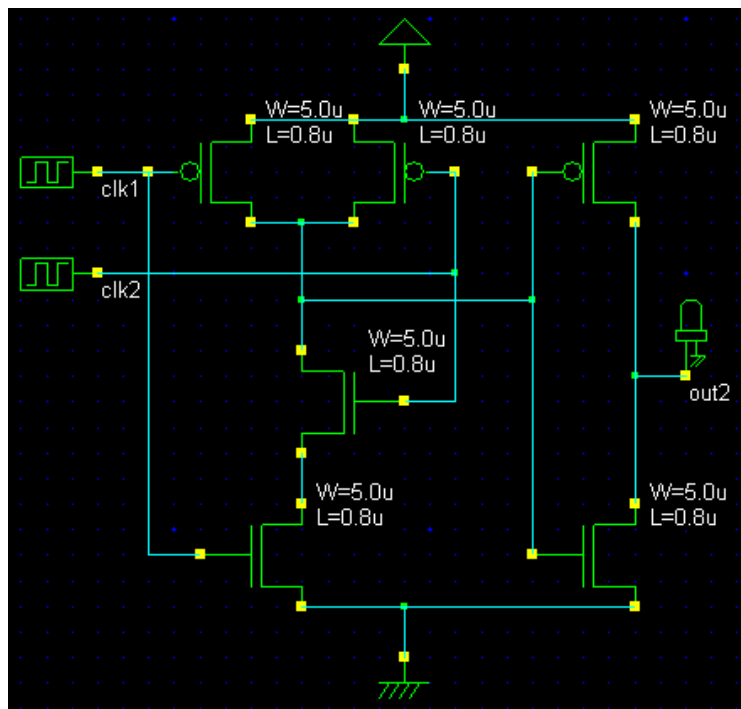
Rysunek 3-2. Bramka AND, na wejściach stan „01”. Kolory połączeń pokazują stany logiczne



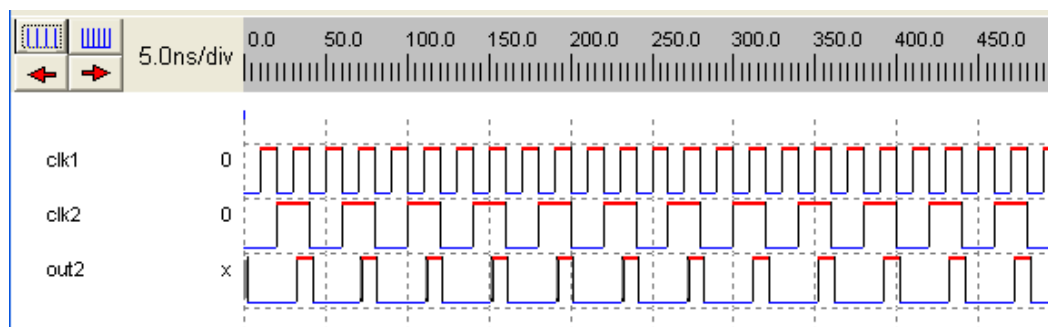
Rysunek 3-3. Bramka AND, na wejściach stan „10”. Kolory połączeń pokazują stany logiczne



Rysunek 3-4. Bramka AND, na wejściach stan "11", na wyjściu stan "1"



Rysunek 3-5. Bramka AND ze źródłami sygnałów impulsowych na wejściach



Rysunek 3-6. Przebiegi czasowe w bramce AND

Teraz podobne zadanie do samodzielnego rozwiązania:

ZADANIE 3.8

Zaprojektować schemat statycznej bramki CMOS wykonującej funkcję OR, a następnie przy pomocy programu Dsch sprawdzić, czy zaprojektowana bramka poprawnie wykonuje tę funkcję. Należy zrobić projekt w technologii CMOS $0,8\ \mu\text{m}$.

5 Przykłady i zadania do części IV

W części IV jest mowa o analogowych układach CMOS. Są także omawiane problemy cieplne w układach scalonych i sposoby ich chłodzenia. Poniżej znajdziesz przykłady i zadania dotyczące tych zagadnień. Rozważania na temat możliwych kierunków rozwoju mikroelektroniki oraz wskazówki, w jakich kierunkach warto rozszerzać wiedzę mikroelektroniczną, kończą materiał części IV. Z tymi zagadnieniami też warto się zapoznać, ale nie są one ilustrowane zadaniami.

5.1 Kluczowe problemy układów analogowych: zależności temperaturowe i rozrzuty produkcyjne

Parametry analogowych układów CMOS są silnie uzależnione od parametrów elementów: głównie tranzystorów, ale także innych elementów, zwłaszcza rezystorów, które w układach analogowych są dość często stosowane. Parametry elementów zależą w istotny sposób od temperatury, a ponadto wykazują znaczne rozrzuty produkcyjne. W rezultacie jedną z głównych trosk projektantów układów analogowych jest zaprojektowanie układu w taki sposób, aby w pełnym zakresie zmian temperatury i rozrzutów produkcyjnych układ w ogóle działał, a jego charakterystyki i parametry nie wychodziły poza dopuszczalne granice. Zobaczmy na prostych przykładach, jak te problemy wyglądają od strony ilościowej.

5.1.1 Zależności parametrów elementów układów scalonych od temperatury

PRZYKŁAD 4.1

Tranzystor nMOS ma w temperaturze 20°C następujące parametry: $V_T = 0,75$ V, $\mu_n C_{ox} = 80$ $\mu\text{A}/\text{V}^2$, i następujące wymiary kanału: $L = 0,7$ μm , $W = 2$ μm . Tranzystor pracuje w zakresie nasycenia, napięcie bramka-źródło $V_{GS} = 2,5$ V. Napięcie progowe tranzystora maleje z temperaturą o 1,5 mV/°C. Ruchliwość elektronów maleje z temperaturą w taki sposób, że przy zmianie temperatury od 20°C do 120°C wartość $\mu_n C_{ox}$ maleje 1,6 raza (pojemność C_{ox} nie zależy od temperatury). Oblicz, jaką wartość ma prąd drenu w temperaturze 20°C, a jaką w temperaturze 120°C.

Rozwiązanie:

W temperaturze 120°C napięcie progowe wyniesie $0,75 - 100 \cdot 1,5 \cdot 10^{-3} = 0,6$ V, a $\mu_n C_{ox}$ będzie równe $80/1,6 = 50$ $\mu\text{A}/\text{V}^2$. Korzystając ze wzoru na prąd drenu w zakresie nasycenia (część I, wzór 3-5) obliczamy:

$$\text{a) dla temperatury } 20^\circ\text{C} \quad I_D = \mu C_{ox} \frac{W}{L} \frac{(V_{GS} - V_T)^2}{2} = 80 \cdot 10^{-6} \frac{2}{0,7} \frac{(2,5 - 0,75)^2}{2} = 350 \cdot 10^{-6} \text{ A} = 350 \mu\text{A},$$

$$\text{b) dla temperatury } 120^\circ\text{C} \quad I_D = \mu C_{ox} \frac{W}{L} \frac{(V_{GS} - V_T)^2}{2} = 50 \cdot 10^{-6} \frac{2}{0,7} \frac{(2,5 - 0,6)^2}{2} = 258 \cdot 10^{-6} \text{ A} = 258 \mu\text{A}.$$

Jak widać, zmiana prądu jest znaczna.

W zadaniu do samodzielnego rozwiązania oszacuj, jaka będzie różnica prądów tranzystorów, jeśli będą pracować w różnych temperaturach. W układach dużej mocy taka sytuacja nie jest rzadka.

ZADANIE 4.1

Para identycznych tranzystorów nMOS o parametrach jak w przykładzie 4.1 pracuje w różniących się temperaturach: jeden z tranzystorów w temperaturze 100°C, a drugi w temperaturze 105°C. O ile różnią się ich prądy drenów?

Temperatura ma też znaczny wpływ na rezystancję rezystorów.

PRZYKŁAD 4.2

Rezystor taki, jak na rysunku 2-3, wykonany jest z warstwy polikrzemu o rezystancji warstwowej R_s równej w temperaturze otoczenia (27°C) $25\ \Omega/\square$, a rezystancja kontaktu wynosi $15\ \Omega$. Rezystancja warstwowa rośnie o $0,3\%/^\circ\text{C}$. Oblicz rezystancję rezystora w temperaturach -20°C i $+120^\circ\text{C}$ przyjmując, że zależność rezystancji kontaktu od temperatury można pominąć.

Rozwiązanie:

Dla temperatury -20°C rezystancja warstwowa zmaleje o $0,3 \cdot (27 + 20) = 14,1\%$, czyli wyniesie $21,5\ \Omega/\square$, a

dla temperatury $+120^\circ\text{C}$ rezystancja warstwowa wzrośnie o $0,3 \cdot (120 - 27) = 27,9\%$, czyli wyniesie $32\ \Omega/\square$.

Stąd, uwzględniając stosunek L/W według rysunku 2-3, otrzymamy:

dla temperatury -20°C $R = 21,5 \cdot 5,5 + 2 \cdot 15 = 148,25\ \Omega$,

dla temperatury $+120^\circ\text{C}$ $R = 32 \cdot 5,5 + 2 \cdot 15 = 206\ \Omega$.

Przypomnijmy, że dla temperatury otoczenia rezystancja wynosiła (patrz przykład 1.10) $167,5\ \Omega$.

W zadaniu do samodzielnego rozwiązania należy ocenić różnicę rezystancji wynikającą z różnicy temperatur pary rezystorów. Może ona mieć duże znaczenie w układach, których parametry zależą od różnicy rezystancji rezystorów, a nie od bezwzględnych wartości rezystancji.

ZADANIE 4.2

Para identycznych rezystorów, o jakich mowa w przykładzie 4.2, pracuje w różniących się temperaturach: jeden z rezystorów w temperaturze 100°C , a drugi w temperaturze 105°C . O ile różnią się ich rezystancje?

5.1.2 Rozrzuty produkcyjne

Jedną z miar rozrzutu parametrów tranzystorów jest napięcie niezrównoważenia dla pary tranzystorów. Jest to miara rozrzutu lokalnego (rozrzut globalny i lokalny? – patrz część I, punkt 4.2.6), ważna w wielu zastosowaniach. Pojęcie to jest zdefiniowane w części IV, punkty 2.2.2 i 2.2.3.

PRZYKŁAD 4.3

Oblicz, jaka jest minimalna długość bramki tranzystora nMOS dla uzyskania napięcia niezrównoważenia mniejszego od $10\ \text{mV}$, dla tranzystora nMOS o $V_T = 0,75\ \text{V}$ i dla napięcia $V_{GS} = 5\text{V}$, jeśli wiadomo, że dokładność fotolitografii wynosi $\pm 0,02\ \mu\text{m}$. Załóż, że rozrzut długości kanału tranzystora jest jedynym źródłem niezrównoważenia.

Rozwiązanie:

Napięcie niezrównoważenia wynikające z rozrzutu długości kanału tranzystora wynosi (wzory 2-1 i 2-2 w części IV)

$$|\Delta V_{GS}| = \frac{V_{GS} - V_T}{2} \left| \frac{\Delta L}{L} \right| \text{ a stąd}$$

$$L \geq \frac{1}{|\Delta V_{GS}|} \frac{V_{GS} - V_T}{2} |\Delta L| = \frac{1}{10 \cdot 10^{-3}} \frac{5 - 0,75}{2} 0,02 \cdot 10^{-3} = 4,25 \cdot 10^{-3} = 4,25\ \mu\text{m}$$

Zadanie do samodzielnego rozwiązania dotyczy podobnego zagadnienia, ale dla tranzystora bipolarnego. Odpowiedni wzór to wzór 2-3 w części IV. Po rozwiązaniu zastanów się, jakie z porównania wyników przykładu i zadania wynikają wnioski.

ZADANIE 4.3

Oblicz, jaka jest minimalna długość boku kwadratowego emitera tranzystora bipolarnego dla uzyskania napięcia niezrównoważenia mniejszego od 1 mV, jeśli wiadomo, że dokładność fotolitografii wynosi $\pm 0.02 \mu\text{m}$. Załóż, że rozrzut powierzchni emitera jest jedynym źródłem niezrównoważenia.

5.2 Wybrane układy analogowe

Tutaj pokazane będą przykładowe zależności ilościowe w wybranych układach analogowych. Jest to tematyka omówiona w punktach 3.1 do 3.5 części IV materiałów omawiających układy scalone.

5.2.1 Parametry małosygnałowe tranzystorów

Parametry małosygnałowe są zdefiniowane w punktach 3.2.1 i 3.2.2 części IV. Przykłady i zadania dotyczące tych parametrów przedstawimy przed omawianiem konkretnych układów.

PRZYKŁAD 4.4

Dana jest technologia CMOS, w której $V_{Tn} = 0,75 \text{ V}$, $V_{Tp} = -0,85 \text{ V}$, $\mu_n C_{ox} = 80 \mu\text{A/V}^2$, $\mu_p C_{ox} = 27 \mu\text{A/V}^2$. Oblicz wartość transkonduktancji tranzystorów nMOS i pMOS dla $V_{GS} = 5 \text{ V}$ i $V_{DS} = 5 \text{ V}$, dla tranzystorów o minimalnych wymiarach kanału: $L = 0,7 \mu\text{m}$, $W = 1 \mu\text{m}$.

Rozwiązanie:

Przy podanych napięciach tranzystory pracują w zakresie nasycenia. Obliczymy najpierw prądy drenu (część I, wzór 3-5):

Dla tranzystora nMOS:

$$I_D = \mu C_{ox} \frac{W}{L} \frac{(V_{GS} - V_T)^2}{2} = 80 * 10^{-6} \frac{1}{0,7} \frac{(5 - 0,75)^2}{2} = 1032 * 10^{-6} \text{ A} = 1,032 \text{ mA}$$

Dla tranzystora pMOS:

$$I_D = \mu C_{ox} \frac{W}{L} \frac{(V_{GS} - V_T)^2}{2} = 27 * 10^{-6} \frac{1}{0,7} \frac{(5 - 0,85)^2}{2} = 332 * 10^{-6} \text{ A} = 332 \mu\text{A}$$

Teraz obliczymy transkonduktancje (część IV, wzór 3-20):

Dla tranzystora nMOS:

$$g_m = \frac{2I_D}{V_{GS} - V_T} = \frac{2 * 1,032 * 10^{-3}}{5 - 0,75} = 486 \mu\text{A/V}$$

Dla tranzystora pMOS:

$$g_m = \frac{2I_D}{V_{GS} - V_T} = \frac{2 * 332 * 10^{-6}}{5 - 0,85} = 160 \mu\text{A/V}$$

Tranzystory w układach analogowych są z reguły duże. Ich wymiary kanałów są wielokrotnie większe niż minimalne, jakie dopuszcza technologia. W zadaniu do samodzielnego rozwiązania wykonaj takie same obliczenia, jak w przykładzie 4.4, ale dla dużych tranzystorów.

ZADANIE 4.4

Dana jest technologia CMOS, w której $V_{Tn} = 0,75 \text{ V}$, $V_{Tp} = -0,85 \text{ V}$, $\mu_n C_{ox} = 80 \mu\text{A/V}^2$, $\mu_p C_{ox} = 27 \mu\text{A/V}^2$. Oblicz wartość transkonduktancji tranzystorów nMOS i pMOS dla $V_{GS}=5 \text{ V}$ i $V_{DS}=5\text{V}$, dla tranzystorów o minimalnych wymiarach kanału: $L=3 \mu\text{m}$, $W = 12 \mu\text{m}$.

A teraz zadanie do samodzielnego rozwiązania, w którym należy obliczyć transkonduktancje tranzystorów bipolarnych pracujących w podobnych warunkach, jak tranzystory MOS. Transkonduktancja tranzystora bipolarnego dana jest wzorem 3-24 w części IV.

ZADANIE 4.5

Oblicz wartość transkonduktancji tranzystorów bipolarnych, dla których prąd kolektora ma tę samą wartość, co prądy drenu tranzystorów nMOS i pMOS obliczone w przykładzie 4.4 i zadaniu 4.4. Porównaj z wartościami transkonduktancji dla tranzystorów MOS.

5.2.2 Układy źródeł prądowych i napięciowych

Teraz w przykładach i zadaniach zajmiemy się pomocniczymi układami zwanymi źródłami prądowymi i napięciowymi.

PRZYKŁAD 4.5

Zaprojektuj źródło prądowe o schemacie jak na rysunku 3-1a w części IV, dla prądu $I_1 = 0,5 \text{ mA}$: określ wymiary kanałów tranzystorów oraz rezystancję R . Oszacuj powierzchnię, którą musi zająć rezystor R , jeśli będzie on wykonany w postaci ścieżki polikrzemowej. Dane tranzystorów nMOS jak w przykładzie 4.4. Minimalna szerokość ścieżki polikrzemowej: $W_s=1 \mu\text{m}$, rezystancja warstwowa tej ścieżki: $R_s=20\Omega/\square$.

Rozwiązanie:

Należy posłużyć się wzorami (część IV, wzory 3-1 i 3-3):

$$I_0 = \frac{V_{DD}-V_{GS}}{R}$$

$$V_{GS} = V_T + \sqrt{2I_D \frac{1}{\mu C_{ox}} \frac{L}{W}}$$

Łącząc je i podstawiając $I_D = I_0$ otrzymujemy

$$R = \frac{V_{DD}-V_{Tn}}{I_0} - \sqrt{\frac{2}{I_0} \frac{1}{\mu C_{ox}} \frac{L}{W}}$$

Powierzchnia zajęta przez ścieżkę rezystora o rezystancji R , szerokości W_s i długości L_s jest równa $A = W_s L_s = W_s^2 \frac{R}{R_s} = (R/20)\mu\text{m}^2$

Podstawiając wartości liczbowe otrzymamy: $R = 8500 - 7070(L/W)^{0,5}\Omega$, przy czym oczywiście wynik musi być dodatni. Można również założyć określoną wartość R , skąd otrzymamy potrzebną wartość stosunku L/W : $L/W = (1,2 - R/7070)^2$. Zadanie nie ma więc jedynego możliwego rozwiązania. Jest to sytuacja typowa w realnych problemach inżynierskich, gdzie z reguły projektant musi poczynić pewne dodatkowe założenia, by otrzymać rozwiązanie. Można na przykład starać się otrzymać rozwiązanie o minimalnej powierzchni lub o minimalnych rozrzutach produkcyjnych. Przykładowe wartości W , L , R i A – patrz niżej.

Przykładowe wyniki obliczeń do przykładu 4.5:

$R = 100 \, \Omega \rightarrow L/W = 1.4 \rightarrow A = 5 \, \mu\text{m}^2$.

$R = 500 \, \Omega \rightarrow L/W = 1.275 \rightarrow A = 25 \, \mu\text{m}^2$.

$R = 1 \, \text{k}\Omega \rightarrow L/W = 1.12 \rightarrow A = 50 \, \mu\text{m}^2$.

$R = 2 \, \text{k}\Omega \rightarrow L/W = 0.84 \rightarrow A = 100 \, \mu\text{m}^2$.

$R = 4 \, \text{k}\Omega \rightarrow L/W = 0.4 \rightarrow A = 200 \, \mu\text{m}^2$.

$R = 6 \, \text{k}\Omega \rightarrow L/W = 0.123 \rightarrow A = 300 \, \mu\text{m}^2$.

$R = 8 \, \text{k}\Omega \rightarrow L/W = 0.0047 \rightarrow A = 400 \, \mu\text{m}^2$.

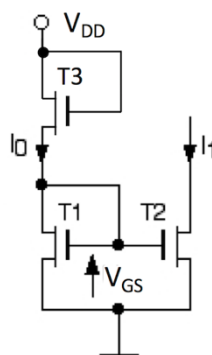
Można wybrać każdą z tych kombinacji R i L/W (lub jeszcze inną). Małe wartości R prowadzą do małej ogólnej powierzchni układu. Są korzystne także dlatego, że dłuższe kanały (czyli większe wartości L/W) sprzyjają lepszej dokładności źródła (patrz punkt 3.1.1 w części IV). Gdyby wybierać duże wartości rezystancji, to także tranzystory okazałyby się duże, bo na przykład $L/W = 0,0047$ wymagałoby zaprojektowania tranzystorów o bardzo dużej szerokości kanału W . Z drugiej strony, bardzo małe powierzchnie rezystorów o małej rezystancji nie w pełni oddają rzeczywistość, bo w naszych obliczeniach nie zostały uwzględnione powierzchnie obszarów kontaktów.

Po wyborze określonych wartości R oraz L i W konkretne wymiary tranzystorów wynikną z wymaganej dokładności źródła. Dłuższy kanał oznacza mniejszą wrażliwość prądu źródła na napięcie V_{DS} , a im większe oba wymiary, tym mniejsza wrażliwość na rozrzuty produkcyjne (czego jednak w tym przykładzie nie dyskutujemy).

Teraz zadanie do samodzielnego rozwiązania:

ZADANIE 4.6

Zaprojektuj źródło prądowe, w którym rezystor jest zastąpiony tranzystorem nMOS (rysunek 4-1): określ wymiary kanałów tranzystorów takie, aby $I_1 = 0,5 \, \text{mA}$. Dane wszystkich tranzystorów jak w przykładzie 4.4. Napięcie $V_{DD} = 5 \, \text{V}$. Dla uproszczenia pominiemy wpływ różnego od zera napięcia polaryzacji podłoża tranzystora T3 na jego napięcie progowe.



Rysunek 4-1. Źródło prądowe z tranzystorami nMOS

WSKAZÓWKA

Dla uproszczenia możesz przyjąć, że wszystkie trzy tranzystory są jednakowe. Oznacza to, że jeśli pominiemy wpływ różnego od zera napięcia polaryzacji podłoża tranzystora T3 na jego napięcie progowe, to napięcie zasilania podzieli się na pół między tranzystorami T1 i T3, czyli $V_{GS} = 0,5 V_{DD}$.

Teraz pora na przykłady i zadania ilustrujące układy źródeł napięciowych. Proste zadanie do samodzielnego rozwiązania przy zastosowaniu wzoru 3-14 z części IV:

ZADANIE 4.7

Dla źródła napięciowego typu mnożnika kT/q (schemat na rysunku 3-13 w części IV) oblicz stosunek rezystorów m , jeśli wiadomo, że stosunek powierzchni emiterów tranzystorów bipolarnych D1 i D2 (A_{E2}/A_{E1}) jest równy 4, a napięcie wyjściowe źródła V ma być równe 1 V (w temperaturze otoczenia). Przyjmij, że wartość kT/q dla temperatury otoczenia wynosi 26 mV.

Teraz przykład dotyczący prostego układu przesuwania poziomu składowej stałej:

PRZYKŁAD 4.6

Zaprojektuj układ przesuwania poziomu składowej stałej (rysunek 3-25a w części IV) obniżający ten poziom o 1 V: na wejściu 3 V, na wyjściu 2 V. Określ wymiary kanałów tranzystorów oraz prąd I . Dane tranzystorów jak w przykładzie 4.4.

Rozwiązanie:

Do obliczeń posłuż się wzór 3-38, część IV:

$$\Delta V = V_T + \sqrt{\frac{2I}{\mu C_{ox} \frac{W_{T3}}{L_{T3}}}}$$

skąd

$$\frac{W_{T3}}{L_{T3}} = \frac{2I}{\mu C_{ox} (\Delta V - V_T)^2}$$

Jest to kolejny przykład problemu, który nie ma jedyne go możliwego rozwiązania. Wymiary kanału tranzystora zależą od wyboru wartości prądu I . Wybierając prąd należy sprawdzać, czy tranzystory T1 i T2 pracują w nasyceniu, tj. czy spełniony jest warunek: $V_{DS} > V_{GS} - V_T$. Jeżeli wszystkie trzy tranzystory w układzie są identyczne, to napięcie V_{GS} tranzystorów T1 i T2 jest takie samo, jak T3, czyli równe 1 V. Łatwo sprawdzić, że warunek nasycenia jest spełniony.

Przykładowe wyniki:

$$I=1 \mu A \rightarrow W_3/L_3 = 0,4$$

$$I=10 \mu A \rightarrow W_3/L_3 = 4$$

$$I=100 \mu A \rightarrow W_3/L_3 = 40$$

Wybór prądu I oraz wymiarów kanału tranzystora może być uzależniony od różnych kryteriów, jak np. moc tracona w układzie (wtedy należałoby wybrać prąd możliwie mały), powierzchnia elementów, rozrzuty produkcyjne lub jeszcze inne czynniki.

Zadanie do samodzielnego rozwiązania:

ZADANIE 4.8

Zaprojektuj układ przesuwania poziomu składowej stałej (rysunek 3-25b w części IV) podwyższający ten poziom o 1 V: na wejściu 2 V, na wyjściu 3 V. Określ wymiary kanałów tranzystorów oraz prąd I . Dane tranzystorów jak w przykładzie 4.4.

5.2.3 Proste stopnie wzmacniające

Zajmiemy się teraz prostymi układami wzmacniaczy z tranzystorami MOS. Są one opisane w punkcie 3.2.2 części IV materiałów. W przypadku wzmacniaczy sygnałów o małej amplitudzie najbardziej interesujące są: wzmocnienie napięciowe oraz pasmo częstotliwości, w jakim wzmacniacz ma użyteczne wzmocnienie. To są parametry, które będą szacowane w kolejnych przykładach i zadaniach.

PRZYKŁAD 4.7

Oszacuj maksymalne wzmocnienie, jakie można uzyskać w stopniu wzmacniającym z aktywnym obciążeniem – schemat na rysunku 3-19b (część IV). Dane tranzystorów: $V_{Tn} = 0,75 \text{ V}$, $V_{Tp} = -0,85 \text{ V}$, $\mu_n C_{ox} = 80 \mu\text{A/V}^2$, $\mu_p C_{ox} = 27 \mu\text{A/V}^2$, wartość współczynnika n dla zakresu podprogowego (patrz wzór 3-8 w punkcie 3.1.5 części I, oraz wzór 3-22 w punkcie 3.2.1 części IV): $n = 1,2$. Przyjmij wartość parametru λ dla wszystkich tranzystorów równą $0,1 \text{ V}^{-1}$. Wykonaj obliczenia dla temperatury otoczenia ($kT/q = 26 \text{ mV}$).

Rozwiązanie:

Wzmocnienie rośnie, gdy maleje prąd drenu i maksymalną, niezależną od prądu drenu wartość osiąga w zakresie podprogowym (patrz punkt 3.2.2 materiałów, część IV). Postępując się wzorem 3-33 otrzymujemy:

$$|k_u| = \frac{1}{n(\lambda_{T1} + \lambda_{T2}) \frac{kT}{q}} = \frac{1}{1,2 * (0,1 + 0,1) * 26 * 10^{-3}} = 160$$

Jak widać, wzmocnienie w tym zakresie zależy tylko od parametrów n i λ . Czy otrzymana wartość jest maksymalna osiągalna? Nie. Im większa długość kanału tranzystora, tym mniejsza wartość parametru λ i tym samym większe wzmocnienie. W praktyce dla rozsądnych długości kanału można osiągnąć wzmocnienie powyżej 200.

Zauważmy przy okazji, że w zakresie podprogowym wzmocnienie nie zależy od rodzaju tranzystora (nMOS czy pMOS) pod warunkiem, że parametry n i λ mają dla obu rodzajów tranzystorów tę samą wartość.

Przy bardzo małych prądach drenu i długich kanałach maksymalna częstotliwość, przy jakiej tranzystor daje użyteczne wzmocnienie, jest niewielka (będzie to przedmiotem jednego z następnych przykładów). Dlatego często w układach wzmacniaczy tranzystory pracują w zakresie nasycenia, z napięciem V_{DS} powyżej napięcia progowego. Oszacujemy wzmocnienie w takim przypadku – posłużymy się do tego wzór 3-32 (część IV materiałów).

PRZYKŁAD 4.8

Dana jest technologia CMOS, w której $V_{Tn} = 0,75 \text{ V}$, $V_{Tp} = -0,85 \text{ V}$, $\mu_n C_{ox} = 80 \mu\text{A/V}^2$, $\mu_p C_{ox} = 27 \mu\text{A/V}^2$. Oblicz wzmocnienie stopnia wzmacniającego z aktywnym obciążeniem – schemat na rysunku 3-19b (część IV) dla tranzystorów nMOS i pMOS dla prądów drenu równych $20 \mu\text{A}$ i 2 mA , dla tranzystorów o minimalnych wymiarach kanału: $L=0,7 \mu\text{m}$, $W = 1 \mu\text{m}$. Przyjmij dla tej długości kanału wartość parametru λ równą $0,1 \text{ V}^{-1}$. Następnie wykonaj obliczenia dla znacznie większych tranzystorów: $L = 5 \mu\text{m}$, $W = 15 \mu\text{m}$. Dla tej długości kanału przyjmij $\lambda = 0,03 \text{ V}^{-1}$. Załóż, że tranzystory pracują w zakresie nasycenia.

Rozwiązanie:

Obliczymy wzmocnienie posługując się wzorem 3-32 w części IV:

nMOS, $I_D = 20 \mu\text{A}$:

$$|k_u| = \frac{\sqrt{2\mu_{T1}C_{ox}\frac{WT_1}{L_{T1}}}}{(\lambda_{T1}+\lambda_{T2})\sqrt{I_D}} = \frac{\sqrt{2*80*10^{-6}\frac{1}{0,7}}}{(0,1+0,1)\sqrt{20*10^{-6}}} = 17$$

nMOS, $I_D = 2 \text{ mA}$:

$$|k_u| = \frac{\sqrt{2\mu_{T1}C_{ox}\frac{WT_1}{L_{T1}}}}{(\lambda_{T1}+\lambda_{T2})\sqrt{I_D}} = \frac{\sqrt{2*80*10^{-6}\frac{1}{0,7}}}{(0,1+0,1)\sqrt{2*10^{-3}}} = 1,7$$

pMOS, $I_D = 20 \mu\text{A}$:

$$|k_u| = \frac{\sqrt{2\mu_{T1}C_{ox}\frac{WT_1}{L_{T1}}}}{(\lambda_{T1}+\lambda_{T2})\sqrt{I_D}} = \frac{\sqrt{2*27*10^{-6}\frac{1}{0,7}}}{(0,1+0,1)\sqrt{20*10^{-6}}} = 9,9$$

pMOS, $I_D = 2 \text{ mA}$:

$$|k_u| = \frac{\sqrt{2\mu_{T1}C_{ox}\frac{WT_1}{L_{T1}}}}{(\lambda_{T1}+\lambda_{T2})\sqrt{I_D}} = \frac{\sqrt{2*27*10^{-6}\frac{1}{0,7}}}{(0,1+0,1)\sqrt{2*10^{-3}}} = 0,99$$

Jak widzimy, otrzymane wzmocnienia są bardzo niewielkie, zwłaszcza w przypadku większej wartości prądu drenu. Dla tranzystora pMOS w tym przypadku wzmocnienie równe jest praktycznie jedności. Zobaczymy, jak będzie dla większych tranzystorów. Obliczenia według tych samych wzorów dają wyniki:

nMOS, $I_D = 20 \mu\text{A}$: $|k_u| = 81,65$

nMOS, $I_D = 2 \text{ mA}$: $|k_u| = 8,16$

pMOS, $I_D = 20 \mu\text{A}$: $|k_u| = 47,4$

pMOS, $I_D = 2 \text{ mA}$: $|k_u| = 4,7$

Z tego przykładu widać, dlaczego w układach analogowych stosuje się zwykle znacznie większe tranzystory niż w bramkach cyfrowych. Innym powodem jest spadek rozrzutów produkcyjnych przy wzroście wymiarów kanału, patrz przykład 4.3.

Zadanie do samodzielnego rozwiązania nawiązuje do przykładu 4.8:

ZADANIE 4.9

Dla tranzystorów nMOS i pMOS o danych jak w przykładzie 4.8 i długości kanału $L = 5 \mu\text{m}$ oblicz szerokość kanału potrzebną do uzyskania wzmocnienia równego 100 przy prądzie drenu równym $20 \mu\text{A}$. Przyjmij dla tej długości kanału wartość $\lambda = 0,03 \text{ V}^{-1}$. Przyjmij, że tranzystory pracują w zakresie nasycenia.

Zajmiemy się teraz pasmem przenoszenia.

PRZYKŁAD 4.9

Oceń, jaką maksymalną częstotliwość graniczną f_T można uzyskać w układzie wzmacniacza z aktywnym obciążeniem (wzór 3-34, część IV), jeśli całkowite obciążenie pojemnościowe wzmacniacza (suma $C_1 + C_2$ + pojemność dołączona z zewnątrz) wynosi: (a) 0,01 pF, (b) 1 pF. Wykonaj obliczenia dla tranzystorów nMOS i pMOS o danych jak w przykładzie 4.8, dla szerokości kanału $L = 10 \mu\text{m}$ i minimalnej długości kanału ($L = 0,7 \mu\text{m}$), dla prądów drenu równych 20 μA i 2 mA.

Rozwiązanie:

nMOS, 20 μA :

$$f_T = \frac{\sqrt{2I_D \mu_{T1} C_{ox} \frac{W_{T1}}{L_{T1}}}}{2\pi(C_1 + C_2)} = \frac{\sqrt{2 \cdot 20 \cdot 10^{-6} \cdot 80 \cdot 10^{-6} \cdot \frac{10}{0,7}}}{2\pi(0,01 \cdot 10^{-12})} = 3,4 \text{ GHz}$$

nMOS, 2 mA:

$$f_T = \frac{\sqrt{2I_D \mu_{T1} C_{ox} \frac{W_{T1}}{L_{T1}}}}{2\pi(C_1 + C_2)} = \frac{\sqrt{2 \cdot 2 \cdot 10^{-3} \cdot 80 \cdot 10^{-6} \cdot \frac{10}{0,7}}}{2\pi(0,01 \cdot 10^{-12})} = 34 \text{ GHz}$$

pMOS, 20 μA :

$$f_T = \frac{\sqrt{2I_D \mu_{T1} C_{ox} \frac{W_{T1}}{L_{T1}}}}{2\pi(C_1 + C_2)} = \frac{\sqrt{2 \cdot 20 \cdot 10^{-6} \cdot 27 \cdot 10^{-6} \cdot \frac{10}{0,7}}}{2\pi(0,01 \cdot 10^{-12})} = 2 \text{ GHz}$$

pMOS, 2 mA:

$$f_T = \frac{\sqrt{2I_D \mu_{T1} C_{ox} \frac{W_{T1}}{L_{T1}}}}{2\pi(C_1 + C_2)} = \frac{\sqrt{2 \cdot 20 \cdot 10^{-6} \cdot 27 \cdot 10^{-6} \cdot \frac{10}{0,7}}}{2\pi(0,01 \cdot 10^{-12})} = 20 \text{ GHz}$$

Dla pojemności równej 1 pF otrzymuje się oczywiście częstotliwości 100 razy mniejsze.

Z tych wyników nie należy wyciągać zbyt daleko idących wniosków. Tranzystory przestają być praktycznie użyteczne już przy częstotliwościach dużo niższych, niż f_T (przypomnijmy, że f_T to częstotliwość, przy której wzmacnienie maleje do wartości równej 1). Nie należy również sądzić, że rozszerzając kanał można uzyskać dowolnie dużą wartość f_T . Gdy szerokość kanału wzrasta, proporcjonalnie wzrastają pojemności związane ze strukturą tranzystora, toteż wzrost szerokości kanału wywołuje wzrost prądu drenu, ale nie wywołuje wzrostu f_T . Natomiast bardzo skutecznie zwiększa f_T skracanie kanału, bo nie wiąże się to ze wzrostem pojemności wewnętrznej struktury tranzystora. Dlatego tranzystory najnowocześniejsze, o długościach kanału rzędu dziesiątków nanometrów, mogą pracować przy częstotliwościach sięgających nawet 100 GHz.

Przykłady 4.8 i 4.9 oraz użyte w nich wzory pokazują, że gdy ze wzrostem prądu drenu tranzystora wzmacnienie spada, to równocześnie w takim samym stopniu rośnie częstotliwość graniczna. Ich iloczyn $|k_u| \cdot f_T$ ma wartość stałą dla danego układu. Fakt ten nazywamy wymiennością pasma i wzmacnienia. Jest to reguła ogólniejsza, odnosi się nie tylko do prostych wzmacniaczy i nie tylko do zależności od prądu drenu tranzystora.

5.3 Problemy cieplne w układach scalonych

Jak już wiemy, elementy układów scalonych wykazują znaczne zmiany parametrów przy zmianach temperatury (patrz punkt 5.1.1), a ponadto przy wzroście temperatury spada niezawodność układów (patrz punkt 4.4.1 części IV materiałów). Krytyczne jest więc zapewnienie skutecznego chłodzenia układów w czasie pracy, zwłaszcza tych, w których wydziela się znaczna moc. Są to zarówno duże układy cyfrowe taktowane zegarami o dużej częstotliwości, jak i niektóre układy analogowe, na przykład układy wzmacniaczy dużej mocy. Kilka dość prostych zadań do rozwiązania przy użyciu wzorów z punktu 4.4 części IV materiałów zilustruje te zagadnienia.

Do rozwiązania zadania 4.10 należy użyć wzoru 4-6 (część IV), w którym rezystancja R_T jest równa R_{thja} :

ZADANIE 4.10

Dany jest układ scalony w obudowie z tworzywa sztucznego, dla którego rezystancja termiczna układ-otoczenie R_{thja} wynosi $300\text{ }^{\circ}\text{C/W}$, a maksymalna temperatura pracy układu wynosi $85\text{ }^{\circ}\text{C}$. Jaka może być maksymalna wartość mocy wydzielanej w układzie dla temperatur otoczenia: (a) $25\text{ }^{\circ}\text{C}$, (b) $45\text{ }^{\circ}\text{C}$?

Następne zadanie wymaga także zastosowania wzoru 4-8 z części IV:

ZADANIE 4.11

Mikroprocesor wydziela w czasie pracy moc 100 W . Rezystancja termiczna układ-obudowa R_{thjc} wynosi $0,4\text{ }^{\circ}\text{C/W}$. Maksymalna temperatura pracy układu wynosi $150\text{ }^{\circ}\text{C}$. W jakiej maksymalnie temperaturze otoczenia może pracować ten mikroprocesor, jeśli rezystancja termiczna radiatora (wraz z rezystancją warstwy pasty termicznej) wynosi $0,8\text{ }^{\circ}\text{C/W}$?

Kolejne zadanie wiąże chłodzenie układu z wydzielającą się w nim mocą statyczną i dynamiczną:

ZADANIE 4.12

Mikroprocesor wydziela w czasie pracy moc 100 W . Rezystancja termiczna układ-obudowa R_{thjc} wynosi $0,4\text{ }^{\circ}\text{C/W}$. Maksymalna temperatura pracy układu wynosi $150\text{ }^{\circ}\text{C}$. W jakiej maksymalnie temperaturze otoczenia może pracować ten mikroprocesor, jeśli rezystancja termiczna radiatora (wraz z rezystancją warstwy pasty termicznej) wynosi $0,8\text{ }^{\circ}\text{C/W}$?

Ostatni jest przykład dotyczący układu analogowego. Ilustruje on problem sprawności energetycznej wzmacniacza mocy. Przed zapoznaniem się z nim przeczytaj także punkt 4.3 części IV materiałów.

PRZYKŁAD 4.10

Akustyczny wzmacniacz mocy taki, jakie są omawiane w punkcie 4.2 części IV materiałów, ma dla przeciętnego sygnału muzycznego sprawność energetyczną 60%. Wzmacniacz jest eksploatowany z radiatorem w postaci płaskiej płyty o pewnej powierzchni A. Oszacuj, ile razy mniejsza będzie mogła być ta powierzchnia, jeśli wzmacniacz zostanie zastąpiony wzmacniaczem w klasie D (punkt 4.3 materiałów) o sprawności 95%? Zakładamy, że moc oddawana do obciążenia przez każdy z układów jest taka sama. Należy przyjąć następujące założenia upraszczające: (1) rezystancja termiczna układ-obudowa R_{thjc} jest pomijalnie mała wobec rezystancji termicznej radiatora, (2) rezystancja termiczna radiatora jest odwrotnie proporcjonalna do jego powierzchni.

Rozwiązanie:

W pierwszym przypadku moc P_{obc} oddawana do obciążenia stanowi 60% mocy pobieranej ze źródła zasilania, pozostałe 40% wydziela się w układzie i musi być odprowadzone do otoczenia przez radiator. W drugim przypadku ta sama moc P_{obc} oddawana do obciążenia stanowi 95% mocy pobieranej ze źródła zasilania, pozostałe 5% wydziela się w układzie i musi być odprowadzone do otoczenia przez radiator. Można to zapisać tak: $P_{obc} = 0,6P_{c1} = 0,95P_{c2}$, gdzie P_{c1} i P_{c2} są to wartości całkowitej mocy pobieranej ze źródeł zasilania. Stąd $P_{c1}/P_{c2} = 0,95/0,6 = 1,583$. Równocześnie moce odprowadzane przez radiatory wynoszą: $P_{rad1} = 0,4P_{c1}$ i $P_{rad2} = 0,05P_{c2}$. Stąd stosunek mocy wydzielanej w radiatorach wynosi:

$$\frac{P_{rad1}}{P_{rad2}} = \frac{0,4P_{c1}}{0,05P_{c2}} = 1,583 * \frac{0,4}{0,05} = 12,67$$

A zatem radiator w drugim przypadku może mieć powierzchnię 12,67 razy mniejszą.

Na koniec problem odwrotny. W zadaniu do samodzielnego rozwiązania należy obliczyć, o ile będzie można zwiększyć moc oddawaną do obciążenia, jeśli układ o sprawności energetycznej 60% zastąpiony zostanie układem o sprawności 95%.

ZADANIE 4.13

Układ wzmacniacza dużej mocy o sprawności energetycznej 60% może oddać do obciążenia maksymalną moc 20 W. Jaką będzie maksymalna moc oddawana do obciążenia, jeśli ten wzmacniacz zostanie zastąpiony wzmacniaczem o sprawności 95% umieszczonym na tym samym radiatorze? Zakładamy, że w obu przypadkach jedynym ograniczeniem mocy jest możliwość odprowadzenia ciepła wydzielającego się w układzie, że oba układy mają tę samą maksymalną temperaturę pracy i tę samą rezystancję termiczną R_{thjc} .

6 Podsumowanie

Aby wczuć się w problematykę układów scalonych, nie wystarczy przeczytać materiały wykładowe. Dopiero zapoznanie się z przykładami, samodzielne rozwiązanie zadań rachunkowych i wykonanie ćwiczeń pozwoli lepiej zrozumieć, czym jest mikroelektronika, co w niej od czego zależy i jak zależy, co jest możliwe, a co nie. Aby te wszystkie przykłady, zadania i ćwiczenia były możliwie łatwe, dane do nich pochodzą z prostej, ale dziś już dalekiej od nowoczesności technologii CMOS. W technologiach najbardziej zaawansowanych, o nanometrowych wymiarach tranzystorów, czasy propagacji sygnału w bramkach cyfrowych są wielokrotnie mniejsze, maksymalne szybkości działania układów cyfrowych wielokrotnie większe, wielokrotnie większe są też

maksymalne częstotliwości pracy układów analogowych. Napięcie zasilania w naszych przykładach wynosi 5 V. Dziś dla tranzystorów o nanometrowych wymiarach maksymalne napięcia są na poziomie 1 V, a nawet poniżej. Jednak od strony jakościowej – co i jak od czego zależy – niewiele się zmieniło. Dlatego warto przerobić przykłady, zadania i ćwiczenia. A potem otwarta droga do studiowania nanoelektroniki – jak coraz częściej nazywana jest mikroelektronika współczesna.